

SON-1690

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

ICHIRO FUJIWARA

Serial No.: 09/431,076

Filed: November 1, 1999

For: NONVOLATILE SEMICONDUCTOR
MEMORY DEVICE AND PROCESS OF
PRODUCTION AND WRITE METHOD THEROF)

Group Art Unit: 2812

Examiner: Unassigned



CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. P10-313734, filed November 4, 1998

Japanese Patent Appl. No. P11-069101, filed March 15, 1999

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,

A handwritten signature of Ronald P. Kananen, consisting of a stylized 'R' and 'K'.

Ronald P. Kananen
Reg. No. 24,104

Dated: February 1, 2000

RADER, FISHMAN & GRAUER P.L.L.C.
1233 20TH Street, NW
Suite 501
Washington, DC 20036
202-955-3750-Phone
202-955-3751 - Fax



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年11月 4日

出 願 番 号

Application Number:

平成10年特許願第313734号

出 願 人

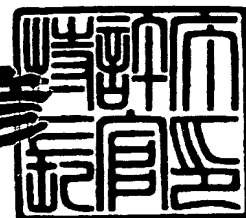
Applicant (s):

ソニー株式会社

1999年10月29日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3071420

【書類名】 特許願

【整理番号】 9800837702

【提出日】 平成10年11月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78 371

【発明の名称】 不揮発性半導体記憶装置及びその書き込み方法

【請求項の数】 42

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 藤原 一郎

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

 【代表者】 出井 伸之

【代理人】

 【識別番号】 100094053

 【弁理士】

 【氏名又は名称】 佐藤 隆久

【手数料の表示】

 【予納台帳番号】 014890

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその書き込み方法

【特許請求の範囲】

【請求項 1】

基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、前記ゲート絶縁膜内に設けられ、少なくとも前記チャネル形成領域と対向する面内で平面的に離散化されている電荷蓄積手段とを有するメモリトランジスタを複数、ワード方向とビット方向に配置した不揮発性半導体記憶装置であって、

前記トンネル絶縁膜は、ファウラーノードハイム (FN) トンネリング電気伝導特性を示し、酸化シリコンより誘電率が大きい材料からなる FN トンネル膜を含む

不揮発性半導体記憶装置。

【請求項 2】

前記 FN トンネル膜は、FN トンネリング電気伝導特性を示す窒化膜からなる請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記ゲート電極またはゲート電極に接続された配線層に誘電膜を介して近接するプルアップ電極と、

当該プルアップ電極に所定電圧を印加するプルアップゲートバイアス手段とを有する請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】

複数のワード線それぞれに、前記メモリトランジスタのゲート電極が複数接続され、

前記プルアップゲートバイアス手段と前記プルアップ電極との間に、選択トランジスタが接続され、

当該プルアップゲートバイアス手段は、予めプリチャージされた前記ワード線を容量結合により昇圧する方向の電圧を、前記選択トランジスタを介して前記プ

ルアップ電極に供給する

請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記プルアップ電極は、前記ゲート電極またはゲート電極に接続された配線層の少なくとも上面に前記誘電膜を介して近接している

請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 6】

前記メモリトランジスタは、前記チャネル形成領域と接するソース領域と、当該ソース領域と離間してチャネル形成領域と接するドレイン領域とを有し、

複数のワード線それぞれに、前記メモリトランジスタのゲート電極が複数接続され、

前記ソース領域またはドレイン領域が、前記ワード線と電氣的に絶縁された状態で交差するビット方向の共通線と結合され、

書き込み時において選択されたワード線にゲート電極が接続された前記メモリトランジスタのソース領域及び／又はドレイン領域に、当該領域が前記チャネル形成領域に対して逆バイアスとなる逆バイアス電圧を前記共通線を介して供給する書き込みインヒビット電圧供給手段と、

書き込み時において非選択ワード線に前記チャネル形成領域に関して逆バイアスとなる方向の電圧を供給する非選択ワード線バイアス手段と

を有する請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記書き込みインヒビット電圧供給手段は、前記逆バイアス電圧を前記ソース領域及び／又はドレイン領域に供給することにより、前記選択ワード線に接続された前記メモリトランジスタを誤書き込み及び／又は誤消去されない電圧にバイアスする

請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 8】

前記非選択ワード線バイアス手段は、前記逆バイアスとなる方向の電圧を前記非選択ワード線に供給することにより、当該非選択ワード線に接続された前記メ

モリトランジスタを誤書き込み及び／又は誤消去されない電圧にバイアスする
請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 9】

前記非選択ワード線バイアス手段は、前記ソース領域に関して前記ゲート電極
をインヒビットゲート電圧以下にバイアスする

請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 10】

前記メモリトランジスタのゲート電極を前記チャネル形成領域と同電位とした
状態で前記逆バイアス電圧が印加されるときに、前記ソース領域とドレイン領域
からチャネル形成領域へ空乏層が延びて合体する

請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 11】

前記メモリトランジスタのゲート長は、そのゲート電極を前記チャネル形成領
域と同電位とした状態で前記逆バイアス電圧が印加され、前記ソース領域とドレ
イン領域からチャネル形成領域へ空乏層が延びて合体するときのゲート長より短
い

請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 12】

前記チャネル形成領域と接するソース領域と、
当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、
前記ソース領域をビット方向で共通に接続するソース線と、
前記ドレイン領域をビット方向で共通に接続するビット線と、
前記ゲート電極をワード方向で共通に接続するワード線と
を有する請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 13】

前記チャネル形成領域と接するソース領域と、
当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、
前記ソース領域をビット方向で共通に接続する副ソース線と、
当該副ソース線をビット方向で共通に接続する主ソース線と、

前記ドレイン領域をビット方向で共通に接続する副ビット線と、
当該副ビット線をビット方向で共通に接続する主ビット線と、
前記副ソース線と主ソース線の間、前記副ビット線と主ビット線の間それぞれ接続された選択トランジスタと、
前記ゲート電極をワード方向で共通に接続するワード線と
を有する請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 14】

前記複数のメモリトランジスタは、ビット線に接続された第 1 選択トランジスタと、共通電位線に接続された第 2 選択トランジスタとの間に直列接続されている

請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 15】

前記チャネル形成領域と接するソース領域と、
当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、
前記メモリトランジスタ同士を絶縁分離する複数の素子分離領域と、
前記ソース領域またはドレイン領域をビット方向で共通に接続する共通線と、
前記ゲート電極をワード方向に複数接続したワード線とを有し、
前記複数の素子分離領域が互いに離間したビット方向ライン状に形成され、
前記共通線が、前記ワード線と電氣的に絶縁された状態で交差し、前記ソース領域又はドレイン領域のうち一方の領域上に接続され、かつ、他方の領域上を避けるように前記素子分離領域上に迂回して配線されている

請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 16】

前記複数の素子分離領域は、前記ワード線とほぼ同じ領域幅と離間幅を有する平行ストライプ状をなし、

前記ソース領域およびドレイン領域上には、それぞれ前記ワード線の側壁に形成されたサイドウォール絶縁層によって自己整合コンタクト孔が開孔され、

前記素子分離領域上に迂回して配線されている共通線は、前記一方の領域を前記自己整合コンタクト孔を介して共通に接続しながらビット方向に蛇行して配線

されている

請求項 15 に記載の不揮発性半導体記憶装置。

【請求項 17】

前記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、前記チャネル形成領域に対向する面全体としての導電性を持たない

請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 18】

前記ゲート絶縁膜は、前記チャネル形成領域上のトンネル絶縁膜と、

当該トンネル絶縁膜上の窒化膜または酸化窒化膜と

を含む請求項 17 に記載の不揮発性半導体記憶装置。

【請求項 19】

前記ゲート絶縁膜は、前記チャネル形成領域上のトンネル絶縁膜と、

前記電荷蓄積手段としてトンネル絶縁膜上に形成され互いに絶縁された小粒径導電体と

を含む請求項 17 に記載の不揮発性半導体記憶装置。

【請求項 20】

前記小粒径導電体の粒径が 10 ナノメートル以下である

請求項 19 に記載の不揮発性半導体記憶装置。

【請求項 21】

基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域上に設けられ、ファウラーノルドハイム (FN) トンネリング電気伝導特性を示し酸化シリコンより誘電率が大きい材料からなる FN トンネル膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、前記ゲート絶縁膜内に設けられ、少なくとも前記チャネル形成領域と対向する面内で平面的に離散化されている電荷蓄積手段とを有するメモリトランジスタを複数、ワード方向とビット方向に配置した不揮発性半導体記憶装置の書き込み方法であって、

前記ゲート電極またはゲート電極に接続された配線層に誘電膜を介して近接するプルアップ電極に対し所定電圧を印加し、ゲート電極の電位を上げるステップを含む

不揮発性半導体記憶装置の書き込み方法。

【請求項 2 2】

選択された前記メモリトランジスタのゲート電極に、10V以下のプログラム電圧を印加するステップを含む

請求項 2 1 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 2 3】

前記 FN トンネル膜は、FN トンネリング電気伝導特性を示す窒化膜からなる
請求項 2 1 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 2 4】

前記プルアップ電極は、前記所定電圧が印加されたときに、前記ゲート電極またはゲート電極に接続された配線層の少なくとも上面に前記誘電膜を介して容量結合する

請求項 2 1 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 2 5】

前記ゲート電極をワード方向で共通に接続する複数のワード線のうち書き込み時において選択されたワード線にゲート電極が接続されたメモリトランジスタのソース領域及び／又はドレイン領域に、ワード線と電氣的に絶縁された状態で交差しソース領域またはドレイン領域に結合するビット方向の共通線を介して、前記チャネル形成領域に対して逆バイアスとなる逆バイアス電圧を印加し、

書き込み時において非選択ワード線に前記チャネル形成領域に関して逆バイアスとなる方向の電圧を印加する

請求項 2 1 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 2 6】

前記逆バイアス電圧を前記ソース領域及び／又はドレイン領域に印加することにより、前記選択ワード線に接続された前記メモリトランジスタを誤書き込み及び／又は誤消去されない電圧にバイアスする

請求項 2 5 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 2 7】

前記逆バイアスとなる方向の電圧を前記非選択ワード線に印加することにより

、当該非選択ワード線に接続された前記メモリトランジスタを誤書き込み及び／又は誤消去されない電圧にバイアスする

請求項 25 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 28】

前記非選択ワード線への電圧印加により、前記ソース領域に関して前記ゲート電極をインヒビットゲート電圧以下にバイアスする

請求項 25 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 29】

前記逆バイアス電圧の印加では、前記ソース領域、前記ドレイン領域の双方に同一な電圧を印加する

請求項 25 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 30】

前記不揮発性半導体記憶装置は、前記チャネル形成領域と接するソース領域と

、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、

前記ソース領域をビット方向で共通に接続するソース線と、

前記ドレイン領域をビット方向で共通に接続するビット線と、

前記ゲート電極をワード方向で共通に接続するワード線と

を有する請求項 21 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 31】

前記不揮発性半導体記憶装置は、前記チャネル形成領域と接するソース領域と

、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、

前記ソース領域をビット方向で共通に接続する副ソース線と、

当該副ソース線をビット方向で共通に接続する主ソース線と、

前記ドレイン領域をビット方向で共通に接続する副ビット線と、

当該副ビット線をビット方向で共通に接続する主ビット線と、

前記副ソース線と主ソース線の間、前記副ビット線と主ビット線の間にそれぞれ接続された選択トランジスタと、

前記ゲート電極をワード方向で共通に接続するワード線と
を有する請求項 2 1 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 3 2】

前記複数のメモリトランジスタは、ビット線に接続された第 1 選択トランジスタと、共通電位線に接続された第 2 選択トランジスタとの間に直列接続されている

請求項 2 1 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 3 3】

前記逆バイアス電圧は、前記ソース領域をビット方向で共通に接続するソース線、及び／又は、前記ドレイン領域をビット方向で共通に接続するビット線を介して印加され、

前記逆バイアスとなる方向の電圧は、前記ゲート電極をワード方向に共通に接続するワード線を介して印加される

請求項 2 5 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 3 4】

前記メモリトランジスタは、前記チャネル形成領域と接するソース領域と、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域とを有し、

前記基板表面に互いに離間して形成され前記メモリトランジスタ同士を絶縁分離する複数の素子分離領域が、ビット方向ライン状に形成され、

前記メモリトランジスタのゲート電極をワード方向に複数接続したワード線と電氣的に絶縁された状態で交差し、前記ソース領域またはドレイン領域をビット方向で共通に接続する共通線が、前記ソース領域又はドレイン領域のうち一方の領域上に接続され、かつ、他方の領域上を避けるように前記素子分離領域上に迂回して配線されている

請求項 2 1 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 3 5】

前記複数の素子分離領域は、前記ワード線とほぼ同じ領域幅と離間幅を有する平行ストライプ状をなし、

前記ソース領域およびドレイン領域上には、それぞれ前記ワード線の側壁に形

成されたサイドウォール絶縁層によって自己整合コンタクト孔が開孔され、

前記素子分離領域上に迂回して配線されている共通線は、前記一方の領域を共通に接続しながらビット方向に蛇行して配線されている

請求項 34 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 36】

前記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、前記チャネル形成領域に対向する面全体としての導電性を持たない

請求項 21 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 37】

前記ゲート絶縁膜は、前記チャネル形成領域上のトンネル絶縁膜と、当該トンネル絶縁膜上の窒化膜または酸化窒化膜と

を含む請求項 36 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 38】

前記ゲート絶縁膜は、前記チャネル形成領域上のトンネル絶縁膜と、

前記電荷蓄積手段としてトンネル絶縁膜上に形成され互いに絶縁された小粒径導電体と

を含む請求項 36 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 39】

前記小粒径導電体の粒径が 10 ナノメートル以下である

請求項 38 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 40】

前記ゲート電極にプログラム電圧を印加し、

選択された前記メモリトランジスタの前記プルアップ電極に所定電圧を印加する

請求項 21 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 41】

前記非選択ワード線に前記逆バイアスとなる方向の電圧を印加し、

前記選択ワード線に接続されたメモリトランジスタのソース領域及び／又はドレイン領域に、前記共通線を介して前記逆バイアス電圧を印加し、

前記選択ワード線にプログラム電圧を印加し、

前記プルアップ電極に所定電圧を印加する

請求項 25 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 42】

前記ワード線に選択トランジスタが接続され、

前記プルアップ電極に所定電圧を印加する際に、選択ワード線の選択トランジスタが非導通に制御される

請求項 41 に記載の不揮発性半導体記憶装置の書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリトランジスタのチャネル形成領域とゲート電極との間のゲート絶縁膜の内部に、平面的に離散化された電荷蓄積手段（例えば、MONOS 型や MNOS 型における窒化膜内の電荷トラップ、トップ絶縁膜と窒化膜との界面近傍の電荷トラップ、或いは小粒径導電体等）を有し、当該電荷蓄積手段に対し電荷（電子またはホール）を電気的に注入して蓄積し又は引き抜くことを基本動作とする不揮発性半導体記憶装置及びその書き込み方法に関する。

【0002】

【従来の技術】

不揮発性半導体メモリは、電荷を保持する電荷蓄積手段（浮遊ゲート）が平面的に連続した FG (Floating Gate) 型のほかに、電荷蓄積手段が平面的に離散化された、例えば MONOS (Metal-Oxide-Nitride-Oxide Semiconductor) 型などがある。

【0003】

MONOS 型不揮発性半導体メモリでは、電荷保持を主体的に担っている窒化膜 [Si_xN_y ($0 < x < 1$, $0 < y < 1$)] 膜中またはトップ酸化膜と窒化膜との界面のキャリアトラップが空間的に（即ち、面方向および膜厚方向に）離散化して拡がっているために、電荷保持特性が、トンネル絶縁膜厚のほかに、 Si_xN_y 膜中のキャリアトラップに捕獲される電荷のエネルギー的及び空間的な分

布に依存する。

【0004】

このトンネル絶縁膜に局所的にリーク電流パスが発生した場合、FG型では多くの電荷がリークパスを通してリークして電荷保持特性が低下しやすいのに対し、MONOS型では、電荷蓄積手段が空間的に離散化されているため、リークパス周辺の局所的な電荷がリークパスを通して局所的にリークするに過ぎず、記憶素子全体の電荷保持特性が低下しにくい。

このため、MONOS型においては、トンネル絶縁膜の薄膜化による電荷保持特性の低下の問題はFG型ほど深刻ではない。したがって、ゲート長が極めて短い微細メモリトランジスタにおけるトンネル酸化膜のスケーリング性は、MONOS型の方がFG型よりも優れている。

【0005】

上記したMONOS型など、メモリトランジスタの電荷蓄積手段が平面的に離散化されている不揮発性メモリについて、ビットあたりのコスト低減、高集積化を図り大規模な不揮発性メモリを実現するには、1トランジスタ型のセル構造を実現することが必須である。

しかし、従来のMONOS型等の不揮発性メモリでは、メモリトランジスタに選択トランジスタを接続させた2トランジスタ型が主流であり、現在、1トランジスタセル技術の確立に向けて種々の検討が行われている。

【0006】

この1トランジスタセル技術確立のためには、電荷蓄積手段を含むゲート絶縁膜を中心としたデバイス構造の最適化及び信頼性向上のほかに、ディスタープ特性の向上が必要である。そして、MONOS型不揮発性メモリのディスタープ特性の改善する一方策として、トンネル絶縁膜を通常の膜厚（1.6nm～2.0nm）より厚く設定する方向で検討が進められている。

【0007】

また、不揮発性メモリのビットあたりのコスト低減、高集積化のためには、メモリセル自体の微細化に加え、周辺回路の面積縮小が必要である。この周辺回路の面積縮小では、メモリセルの微細化に伴う信頼性の確保、周辺回路の回路的な

負担を低減する観点から、書き込み電圧および消去電圧の低電圧化が重要である。

【0008】

【発明が解決しようとする課題】

ところが、従来のMONOS型等、電荷蓄積手段が平面的に離散化された不揮発性半導体メモリにおいて、ディスターブ特性改善のためにトンネル絶縁膜厚を比較的厚く設定した場合、このことが動作電圧の低減に限界を与えてしまう。

つまり、従来の不揮発性半導体メモリでは、トンネル絶縁膜厚を厚くすることと、速い動作速度を維持したまま動作電圧を低減することとがトレードオフの関係にあり、これが原因でディスターブ特性改善と動作電圧の低減を同時に達成できないという課題がある。

【0009】

本発明の目的は、FG型よりトンネル絶縁膜のスケーリング性に優れるMONOS型など、平面的に離散化されたキャリアトラップ等に電荷を蓄積させて基本動作するメモリセルアレイにおいて、良好なディスターブ特性を維持したまま、動作電圧を低減可能なセル構造の不揮発性半導体記憶装置を提供することである。

また、本発明の他の目的は、上記セル構造に対する好適なバイアス設定手法を含む不揮発性半導体記憶装置の書き込み方法を提供することである。

【0010】

【課題を解決するための手段】

本発明に係る不揮発性半導体記憶装置は、基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、前記ゲート絶縁膜内に設けられ、少なくとも前記チャネル形成領域と対向する面内で平面的に離散化されている電荷蓄積手段とを有するメモリトランジスタを複数、ワード方向とビット方向に配置した不揮発性半導体記憶装置であって、前記トンネル絶縁膜は、ファウラーノードハイム(FN)トンネリング伝導特性を示し、酸化シリコンより誘電率が大きい材料からなるFNトンネル膜を含む。

このFNトンネル膜は、例えば、FNトンネリング電気伝導特性を示す窒化膜からなる。

【0011】

好適には、前記ゲート電極またはゲート電極に接続された配線層（の少なくとも上面）に誘電膜を介して近接するプルアップ電極と、当該プルアップ電極に所定電圧を印加するプルアップゲートバイアス手段とを有する。

また、好適には、複数のワード線それぞれに、前記メモリトランジスタのゲート電極が複数接続され、前記プルアップゲートバイアス手段と前記プルアップ電極との間に、選択トランジスタが接続され、当該プルアップゲートバイアス手段は、予めプリチャージされた前記ワード線を容量結合により昇圧する方向の電圧を、前記選択トランジスタを介して前記プルアップ電極に供給する。

【0012】

本発明の不揮発性半導体記憶装置の書き込み方法は、基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域上に設けられ、ファウラーノルドハイム（FN）トンネリング電気伝導特性を示し酸化シリコンより誘電率が大きい材料からなるFNトンネル膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、前記ゲート絶縁膜内に設けられ、少なくとも前記チャネル形成領域と対向する面内で平面的に離散化されている電荷蓄積手段とを有するメモリトランジスタを複数、ワード方向とビット方向に配置した不揮発性半導体記憶装置の書き込み方法であって、前記ゲート電極またはゲート電極に接続された配線層に誘電膜を介して近接するプルアップ電極に対し所定電圧を印加し、ゲート電極の電位を上げるステップを含む。

好適には、選択された前記メモリトランジスタのゲート電極に、10V以下のプログラム電圧を印加するステップを含む。このプログラム電圧の印加をプルアップ電極への電圧印加前に行うことで、ゲート電極が予めプリチャージされた後、プルアップ電極への電圧印加によりゲート電極が更に昇圧される。

【0013】

このような本発明に係る不揮発性半導体記憶装置及びその書き込み方法は、AND型、DINOR型等のビット線やソース線が階層化されたものを含むNOR

型、或いはNAND型に好適である。

また、本発明は、ビット線またはソース線が蛇行して配線された微細NOR型セル構成に好適である。

さらに、本発明は、ゲート絶縁膜内でトンネル絶縁膜上に窒化膜または酸化窒化膜を含むMONOS型またはMNOS型等、あるいはゲート絶縁膜内でトンネル絶縁膜上に互いに絶縁された小粒径導電体を含む小粒径導電体型に好適である。

【0014】

以上の本発明に係る不揮発性半導体記憶装置及びその書き込み方法では、電荷の授受をFNトンネリングにより行う膜（FNトンネル膜）が酸化シリコンより誘電率が大きい膜（例えば、FN窒化膜）から構成されている。FN窒化膜は、FNトンネリング電気伝導特性を示す、例えば窒化シリコンを主体とした膜である。通常の窒化シリコン膜は膜中にキャリアトラップが多く、プールのフレンケル（PF）電気伝導特性を示すのに対し、このFN窒化膜は膜中のキャリアトラップが少なく、このためFNトンネリング電気伝導特性を示す。FNトンネル膜としては、FN窒化膜に限らず、他の材料から構成することもできる。

FNトンネル膜がFN窒化膜、例えば窒化シリコンからなる場合に、トンネル電界を一定と仮定すると、窒化シリコンの比誘電率が酸化シリコンの約2倍と高いだけゲート絶縁膜全体の誘電率も高くなる。その結果、ゲート絶縁膜の酸化シリコン膜換算厚が小さくなって、その分、動作電圧の低減余地が生じる。

【0015】

本発明では、例えばゲート電極またはワード線に容量結合するプルアップ電極の印加電圧に応じて、ゲート電極またはワード線を昇圧することができる。したがって、書き込み時のワード線印加電圧（プログラム電圧）を従来より低減できる。

とくに、プログラム電圧と消去時のワード線印加電圧（消去電圧）とが非対称な場合に、その高い方の電圧を低い方の電圧に近づくように低電圧化して動作電圧の非対称性を解消することが可能となる。たとえば、プログラム電圧が10V～12V、消去電圧が-7V～-8Vの場合、電圧が高いプログラム電圧をプロ

グラム速度を低下させることなく7V～8Vまで低電圧化することができる。これにより、動作速度が例えば1 msec以下で、動作電圧が10V以下の不揮発性半導体メモリを実現できる。また、この動作電圧の非対称性の解消によって、動作電圧を生成するための高電圧発生回路の構成を大幅に簡素化することができる。

【0016】

この2つの技術、即ちトンネル絶縁膜の高誘電率化技術と、ゲート電圧ブースト技術とを組み合わせる用いることにより、従来の動作電圧（プログラム電圧が10V～12V、消去電圧が-7V～-8V）を共に低減し、例えばプログラム電圧が5V、消去電圧が-5V程度の低電圧駆動の不揮発性半導体メモリが実現可能となる。

【0017】

本発明に係る不揮発性半導体記憶装置及びその書き込み方法では、上記構成に加え、さらにディスタープ特性を改善するための構成を付加することが望ましい。

すなわち、本発明に係る不揮発性半導体記憶装置では、前記メモリトランジスタが前記チャネル形成領域と接するソース領域と、当該ソース領域と離間してチャネル形成領域と接するドレイン領域とを有し、複数のワード線それぞれに、前記メモリトランジスタのゲート電極が複数接続され、前記ソース領域またはドレイン領域が、前記ワード線と電気的に絶縁された状態で交差するビット方向の共通線と結合され、書き込み時において選択されたワード線にゲート電極が接続された前記メモリトランジスタのソース領域及び／又はドレイン領域に、当該領域が前記チャネル形成領域に対して逆バイアスとなる逆バイアス電圧を前記共通線を介して供給する書き込みインヒビット電圧供給手段と、書き込み時において非選択ワード線に前記チャネル形成領域に関して逆バイアスとなる方向の電圧を供給する非選択ワード線バイアス手段とを有する。

【0018】

前記書き込みインヒビット電圧供給手段は、好適に、前記逆バイアス電圧を前記ソース領域及び／又はドレイン領域に供給することにより、前記選択ワード線

に接続された前記メモリトランジスタを誤書き込み及び／又は誤消去されない電圧にバイアスする。

前記非選択ワード線バイアス手段は、好適に、前記逆バイアスとなる方向の電圧を前記非選択ワード線に供給することにより、当該非選択ワード線に接続された前記メモリトランジスタを誤書き込み及び／又は誤消去されない電圧にバイアスする。また、前記非選択ワード線バイアス手段は、好適に、前記ソース領域に関して前記ゲート電極をインヒビットゲート電圧以下にバイアスする。

【0019】

好適には、前記メモリトランジスタのゲート電極を前記チャンネル形成領域と同電位とした状態で前記逆バイアス電圧が印加されるときに、前記ソース領域とドレイン領域からチャンネル形成領域へ空乏層が延びて合体する。

また、前記メモリトランジスタのゲート長は、そのゲート電極を前記チャンネル形成領域と同電位とした状態で前記逆バイアス電圧が印加され、前記ソース領域とドレイン領域からチャンネル形成領域へ空乏層が延びて合体するときのゲート長より短い。

【0020】

本発明に係る不揮発性半導体記憶装置の書き込み方法では、前記ゲート電極をワード方向で共通に接続する複数のワード線のうち書き込み時において選択されたワード線にゲート電極が接続されたメモリトランジスタのソース領域及び／又はドレイン領域に、ワード線と電氣的に絶縁された状態で交差しソース領域またはドレイン領域に結合するビット方向の共通線を介して、前記チャンネル形成領域に対して逆バイアスとなる逆バイアス電圧を印加し、書き込み時において非選択ワード線に前記チャンネル形成領域に関して逆バイアスとなる方向の電圧を印加する。

【0021】

前記逆バイアス電圧の印加では、好適には、前記ソース領域、前記ドレイン領域の双方に同一な電圧を印加する。

好適には、選択ワード線へのプログラム電圧印加（プリチャージ）、前記非選択ワード線への電圧印加、前記ソース領域及び／又はドレイン領域への前記逆バ

イアス電圧印加、プルアップ電極への所定電圧印加の順で行う。

【0022】

以上の本発明に係る不揮発性半導体記憶装置及びその書き込み方法では、前記したように動作電圧の低減および非対称性の是正、即ち書き込み電圧が消去電圧より高い場合の書き込み電圧の低電圧化に加え、例えば非選択ワード線バイアス手段によって、非選択ワード線に接続された非選択のメモリトランジスタのゲートに対し、チャンネル形成領域（例えば、基板、ウェルまたはSOI層等の半導体薄膜）に関して前記逆バイアスとなる方向の電圧が印加されることから、例えば電子を引き抜く方向の基板に垂直な電界成分が減少する。このため、選択ワード線に接続された非選択のメモリトランジスタのソース領域およびドレイン領域への書き込みインヒビット電圧（インヒビットS/D電圧）範囲の上限が例えば従来の2倍またはそれ以上の電圧値になり、当該書き込みインヒビット電圧範囲が大幅に拡大される。

【0023】

このインヒビットS/D電圧範囲の拡大はFG型とは反対に、ゲート長が短いほど顕著であり、MONOS型等の電荷蓄積手段が平面的に離散化された不揮発性メモリデバイスに特有な現象である。この現象はインヒビットS/D電圧の印加によるチャンネル形成領域の空乏化の程度と関係し、インヒビットS/D電圧範囲の拡大にゲート電圧の印加が有効である。すなわち、電荷蓄積手段が平面的に離散化された不揮発性メモリデバイスにおいてゲート長が短い微細ゲート領域では、非選択ワード線をチャンネル形成領域の電位と同じにするといった電圧設定下で大部分のチャンネル形成領域が空乏化していて、電荷を基板側に抜く電界成分が大部分のチャンネルで生じていることが、ディスターブマージン確保ができない要因である。本劣化現象はソースまたはドレインから空乏層がチャンネル形成領域に広がって合体したときに特に著しい。そして、本発明における非選択ワード線への電圧印加が、この電界成分の減少をもたらす。

【0024】

一方、FG型ではドレインまたはソースに逆バイアス電圧を印加すると、ゲート長が長い場合は浮遊ゲートとドレインまたはソースとの間の電圧が大きくなり

、ディスタブマージンが小さい。ゲート長が短い場合はドレインまたはソースと浮遊ゲートのカップリング比が大きくなり浮遊ゲートの電圧もドレインまたはソース電圧変化に比例する成分が大きくなり、ディスタブマージンは却って改善される。この改善は空乏層がドレイン、ソースからチャネル形成領域に広がって合体した状態で特に著しい。このため、短ゲート長のFG型素子の非選択ワード線に逆バイアス電圧を加える必要は生じず、その結果として、当該逆バイアス電圧の印加は、長ゲート長のFG型素子の場合に有効である。

したがって、非選択ワード線に例えば正の電圧を印加することは、電荷蓄積手段が平面的に離散化された不揮発性メモリデバイスにおいて特別な意味があり、FG型と異なる作用によって書き込みディスタブ特性の向上、ひいては書き込みの高速化に極めて有効である。

【0025】

【発明の実施の形態】

第1実施形態

図1は、本実施形態に係るソース分離NOR型の不揮発性半導体メモリの概略構成を示す図である。

【0026】

本例の不揮発性メモリ装置90では、NOR型メモリセルアレイの各メモリセルがメモリトランジスタ1個で構成されている。図1に示すように、メモリトランジスタM11～M22が行列状に配置され、これらトランジスタ間がワード線、ビット線および分離型ソース線によって配線されている。

すなわち、ビット方向に隣接するメモリトランジスタM11およびM12の各ドレインがビット線BL1に接続され、各ソースがソース線SL1に接続されている。同様に、ビット方向に隣接するメモリトランジスタM21およびM22の各ドレインがビット線BL2に接続され、各ソースがソース線SL2に接続されている。

また、ワード方向に隣接するメモリトランジスタM11とM21の各ゲートがワード線WL1に接続され、同様に、ワード方向に隣接するメモリトランジスタM12とM22の各ゲートがワード線WL2に接続されている。

メモリセルアレイ全体では、このようなセル配置およびセル間接続が繰り返されている。

【0027】

図2は、具体的なセル配置パターンの一例として、自己整合技術と蛇行ソース線を用いた微細NOR型セルアレイの概略平面図である。

【0028】

この微細NOR型セルアレイ70では、図示せぬpウエルの表面に縦帯状のトレンチまたはLOCOSなど素子分離領域71が等間隔でビット方向（図2の縦方向）に配置されている。素子分離領域71にほぼ直交して、各ワード線 WL_{m-2} 、 WL_{m-1} 、 WL_m 、 WL_{m+1} が等間隔に配線されている。このワード線構造は、後述するように、トンネル絶縁膜、窒化膜、トップ絶縁膜及びゲート電極の積層膜から構成されている。特に図示しないが、例えばワード線上に、誘電膜を介して同一パターンのプルアップ線が配線されている。

【0029】

各素子分離領域の間隔内の能動領域において、各ワード線の離間スペースに、例えばn型不純物が高濃度に導入されてソース領域とドレイン領域とが交互に形成されている。このソース領域とドレイン領域は、その大きさがワード方向（図2の横方向）にはトレンチまたはLOCOS等の素子分離領域71の間隔のみで規定され、ビット方向にはワード線間隔のみで規定される。したがって、ソース領域とドレイン領域は、その大きさと配置のばらつきに関しマスク合わせの誤差が殆ど導入されないことから、極めて均一に形成されている。

【0030】

各ワード線の周囲は、サイドウォールを形成するだけで、ソース領域とドレイン領域とに対し、ビット線接続用のコンタクト孔とソース線接続用のコンタクト孔とが2度のセルフアラインコンタクト技術を同時に転用しながら形成される。しかも、上記プロセスはフォトマスクが不要となる。したがって、先に述べたようにソース領域とドレイン領域の大きさや配置が均一な上に、これに対して2次元的に自己整合して形成されるビット線またはソース線接続用のコンタクト孔の大きさも極めて均一となる。また、上記コンタクト孔はソース領域とドレイン領

域の面積に対し、ほぼ最大限の大きさを有している。

【0031】

その上でビット方向に配線されているソース線 $S L_{n-1}$, $S L_n$, $S L_{n+1}$ は、ドレイン領域を避けながら素子分離領域 71 上とソース領域上に蛇行して配置され、上記ソース線接続用のコンタクト孔を介して、下層の各ソース領域に接続されている。ソース線上には、第 2 の層間絶縁膜を介してビット線 $B L_{n-1}$, $B L_n$, $B L_{n+1}$ が等間隔で配線されている。このビット線は、能動領域上方に位置し、ビット線接続用のコンタクト孔を介して、下層の各ドレイン領域に接続されている。

【0032】

このような構成のセルパターンでは、上記したように、ソース領域とドレイン領域の形成がマスク合わせの影響を受けにくく、また、ビット線接続用のコンタクト孔とソース線接続用のコンタクト孔が、2 度のセルフアライン技術を一括転用して形成されることから、コンタクト孔がセル面積縮小の制限要素とはならず、ウエハプロセス限界の最小線幅 F でソース配線等ができ、しかも、無駄な空間が殆どないことから、 $6 F^2$ に近い非常に小さいセル面積が実現できる。

【0033】

図 3 は、本実施形態に係る MONOS 型メモリトランジスタの素子構造を示す断面図である。

【0034】

図 3 中、符号 1 は n 型または p 型の導電性を有するシリコンウエハ等の半導体基板、1 a はチャネル形成領域、2 および 4 は当該メモリトランジスタのソース領域およびドレイン領域を示す。

本発明で“チャネル形成領域”とは、表面側内部に電子または正孔が導電するチャネルが形成される領域をいう。本例の“チャネル形成領域”は、半導体基板 1 内でソース領域 2 およびドレイン領域 4 に挟まれた部分が該当する。

ソース領域 2 及びドレイン領域 4 は、チャネル形成領域 1 a と逆導電型の不純物を高濃度に半導体基板 1 に導入することにより形成された導電率が高い領域であり、種々の形態がある。通常、ソース領域 2 及びドレイン領域 4 のチャネル形

成領域 1 a に臨む基板表面位置に、LDD (Lightly Doped Drain) と称する低濃度不純物領域を具備させることが多い。

【0035】

チャネル形成領域 1 a 上には、ゲート絶縁膜 6 を介してメモリトランジスタのゲート電極 8 が積層されている。ゲート電極 8 は、一般に、p 型または n 型の不純物が高濃度に導入されて導電化されたポリシリコン (doped poly-Si)、又は doped poly-Si と高融点金属シリサイドとの積層膜からなる。

【0036】

本実施形態におけるゲート絶縁膜 6 は、下層から順に、トンネル絶縁膜 10、窒化膜 12、トップ絶縁膜 14 から構成されている。

【0037】

トンネル絶縁膜 10 は、FN トンネリング電気伝導特性をもつ窒化膜 (FN トンネル窒化膜) を用いる。この FN トンネル窒化膜は、例えば JVD (Jet Vapor Deposition) により作製された窒化シリコンを主体とした膜 (例えば、窒化オキシシリコン膜) である。通常の CVD により作製された窒化シリコン膜がプーレンケル型 (PF 型) の電気伝導特性を示すのに対し、この FN トンネル窒化膜は、膜中のキャリアトラップが通常の CVD による場合より低減されているため、ファウラーノルドハイム型 (FN 型) の電気伝導特性を示す。このため、書き込みにおけるトンネル絶縁膜 10 を通しての電子伝導が、モディファイド FN トンネリングを利用して行われる。

トンネル絶縁膜 (FN トンネル窒化膜) 10 の膜厚は、使用用途に応じて 2.0 nm から 5.0 nm の範囲内で決めることができ、ここでは 3.0 nm に設定されている。

【0038】

窒化膜 12 は、例えば 3.0 nm の窒化シリコン (Si_xN_y ($0 < x < 1$, $0 < y < 1$)) 膜から構成されている。この窒化膜は通常の CVD で作製され、膜中にキャリアトラップが多く含まれ、窒化膜 12 は PF 型の電気伝導特性を示す。このため、窒化膜 12 は、その下層のトンネル絶縁膜 10 とは、膜質および電気伝導のメカニズムが全く異なったものとなる。

【0039】

トップ絶縁膜 14 は、窒化膜 12 との界面近傍に深いキャリアトラップを高密度に形成する必要がある、このため、例えば成膜後の窒化膜を熱酸化して形成される。トップ絶縁膜 14 が CVD で形成された場合は熱処理によりこのトラップが形成される。トップ絶縁膜 14 の膜厚は、ゲート電極 8 からのホールの注入を有効に阻止してデータ書換可能な回数の低下防止を図るために、最低でも 3.0 nm、好ましくは 3.5 nm 以上が必要である。

【0040】

つぎに、このような構成のメモリトランジスタの製造方法例を、ゲート絶縁膜の成膜工程を中心に簡単に述べる。

【0041】

まず、基本的な製造方法の大まかな流れを説明すると、用意した半導体基板 1 に対し素子分離領域の形成、ウエルの形成、しきい電圧調整用のイオン注入等を必要に応じて行った後、半導体基板 1 の能動領域上にゲート絶縁膜 6、ゲート電極 8 の積層パターンを形成し、これと自己整合的にソース・ドレイン領域 2、4 を形成し、層間絶縁膜の成膜とコンタクト孔の形成を行い、ソース・ドレイン電極形成、及び必要に応じて行う層間絶縁層を介した上層配線の形成およびオーバーコート成膜とパッド開口工程等を経て、当該不揮発性メモリトランジスタを完成させる。

【0042】

上記ゲート絶縁膜 6 の形成工程では、まず、JVD 法を用いて FN トンネル窒化膜 10 を、例えば 3 nm 程度形成する。JVD 法では、Si と N の分子または原子を、ノズルから真空中に極めて高速で放出し、この高速の分子または原子の流れをシリコン基板上に誘導して、例えば窒化オキシシリコン膜を堆積させる。

つぎに、減圧 CVD 法で窒化膜 12 を最終膜厚が 3.0 nm となるように、これより厚めに堆積する。この CVD は、例えば、ジクロロシラン (DCS) とアンモニアを混合した導入ガスを用い、基板温度 650℃で行う。ここでは、必要に応じて、予め、出来上がり膜表面の荒さの増大を抑止するため下地面の前処理 (ウエハ前処理) 及び成膜条件を最適化するとよい。この場合、ウエハ前処理を

最適化していないと窒化シリコン膜の表面モフォロジーが悪く正確な膜厚測定ができないことから、このウエハ前処理を十分に最適化した上で、次の熱酸化工程で膜減りする窒化シリコン膜の減少分を考慮した膜厚設定を行う。

たとえば形成した窒化シリコン膜表面を熱酸化法により酸化して、トップ絶縁膜14を3.5nmほど形成する。この熱酸化は、例えば H_2O 雰囲気中で炉温度950℃で行う。これにより、トラップレベル（窒化シリコンの伝導帯からのエネルギー差）が2.0eV以下の程度の深いキャリアトラップが約 $1\sim 2\times 10^{13}\text{cm}^{-2}$ の密度で形成される。また、窒化膜12が1nmに対し熱酸化シリコン膜（トップ絶縁膜14）が1.6nm形成され、この割合で下地の窒化膜厚が減少し、窒化膜12の最終膜厚は3nmとなる。

【0043】

このようにしてゲート絶縁膜6を成膜した後は、ゲート電極8となる膜を成膜し、このゲート電極8となる導電膜およびゲート絶縁膜6を、例えばRIEにより連続してエッチングする。これによりゲート電極のパターンニングが終了し、以後は、前記した諸工程を経て当該不揮発性メモリトランジスタを完成させる。

【0044】

ところで、MONOS型不揮発性メモリトランジスタのONO膜（トンネル酸化膜／窒化膜／トップ酸化膜）のうちトンネル酸化膜を、例えば3nm程度まで厚膜化した場合、今までのONO膜の膜厚仕様の典型値は3.0/5.0/3.5nmであった。このONO膜厚は、酸化シリコン膜換算値で9nmとなる。

【0045】

これに対し、本実施形態に係るMONOS型不揮発性メモリトランジスタは、トンネル絶縁膜10にFNトンネル窒化膜を用いることにより、中間の窒化膜12をより薄くできる利点がある。つまり、ONO膜の膜厚仕様の、例えば3.0/3.0/3.5nmとすることができる。この場合、窒化シリコンの比誘電率が酸化シリコンの約2倍であるため、酸化シリコン膜換算値を6.5nmと、今までより30%近く小さくできる。これは、トンネル絶縁膜10にFNトンネル窒化膜を用いると、トンネル絶縁膜10の膜中あるいはトンネル絶縁膜10と窒化膜12との界面でのキャリアトラップ数が激減するため、窒化膜12とトッ

ブ絶縁膜 14 との界面付近に形成された深いキャリアトラップが電荷蓄積用として今まで以上に有効利用されるためと考えられる。

【0046】

このように、本実施形態では、従来 1.6 nm ~ 2.0 nm 程度が一般的であったトンネル絶縁膜 10 の膜厚を比較的厚く設定し、ディスタープ特性を改善した上で、トンネル絶縁膜 10 に FN トンネル窒化膜を用いたことによってゲート絶縁膜 6 の実効膜厚を低減し、この結果、トンネル絶縁膜厚と動作電圧の低電圧化の両立が可能となっている。

【0047】

本実施形態では、更にディスタープ特性を改善するための手段として、図 1 に示すように、ビット方向の共通線に接続され、非選択メモリトランジスタのソース領域 2 及び／又はドレイン領域 4 (図 3) に逆バイアス電圧を印加する書き込みインヒビット電圧供給回路 92 と、ワード線に接続され、非選択セルのゲート電極 8 にチャネル形成領域 1a に関し逆バイアスとなる電圧を印加する非選択ワード線電圧供給回路 94 とを有する。

【0048】

ここで、“共通線”とは、ビット方向(列方向の)複数のメモリトランジスタ間でソース領域またはドレイン領域を共通に直接接続するか、容量結合する線がいい、例えばビット線やソース線のほかに、いわゆるブースタプレート等が該当する。図 1 は、共通線がビット線およびソース線の場合である。

また、“逆バイアス電圧”とは、ソース領域またはドレイン領域と、チャネル形成領域が形成される半導体基板または半導体層のバルク領域との間に形成される p-n 接合を逆バイアスする方向の電圧をいう。

さらに、“チャネル形成領域に関して逆バイアスとなる方向”とは、チャネル形成領域の電位を基準とした電圧印加がプラス側かマイナス側の方向をいう。具体的には、チャネル形成領域の導電型が p 型の場合の当該方向はプラス側、n 型の場合の当該方向はマイナス側となる。

【0049】

これら書き込みインヒビット電圧供給回路 92 および非選択ワード線電圧供給

回路 94 は、選択セルのプログラムに先立って非選択メモリトランジスタのゲート電極 8、ソース領域 2 およびドレイン領域 4 に所定電圧を印加することにより、特に図 1 の非選択セル A、B の誤書き込みまたは誤消去を防止し、プログラムディスタージン（誤差）の大幅な改善を行うものである。

【0050】

つぎに、このような構成の不揮発性メモリの書き込み動作について説明する。

【0051】

ここで、図 1 に示すように、選択セル S との接続関係によって非選択セル A ～ C を定義する。すなわち、選択セル S と同じ選択ワード線 WL 1 に接続された非選択のセルを A、非選択ワード線 WL 2 に接続されたセルで、選択セル S と同じ選択ソース線 SL 1 及び選択ビット線 BL 1 に接続された非選択のセルを C、選択ワード線 WL 2 に接続され、非選択ソース線 SL 2 および非選択ビット線 BL 2 に接続された非選択のセルを B と定義する。

【0052】

図 4 に、この 4 種類のセルに対する書き込みバイアス電圧の設定条件を示す。選択セル S にデータを書き込む際、まず、非選択ワード線バイアス回路 94 により、非選択ワード線 WL 2 に基板電位 0 V のときは所定の電圧、例えば 2.5 V を印加する。また、書き込みインヒビット電圧供給回路 92 により、非選択ソース線 SL 2 および非選択ビット線 BL 2 に基板電位 0 V のときは所定の逆バイアス電圧、例えば 4 V を印加する。このとき、選択ソース線 SL 1 および選択ビット線 BL 1 は、接地電位 0 V で保持する。

この状態で、選択セル S が接続されたワード線 WL 1 にプログラム電圧（例えば、8 V）を印加する。これにより選択セル S を構成するメモリトランジスタ M11 のゲート電極の電位が 8 V 程度に上昇する。

【0053】

図 5 は、トンネル絶縁膜に酸化シリコン膜を用いた場合の不揮発性メモリトランジスタの書き込み／消去特性を示すグラフである。

図 5 において、書き込み終了をしきい電圧 V_{th} が 2 V 以上と定義すると、書き込み時間はワード線印加電圧 12 V で 0.2 msec、ワード線印加電圧 10 V

で約 20 msec となり、ワード線印加電圧 8 V では 10 sec でも書き込みは終了しない。

【0054】

ところが、本実施形態の書き込みでは、ワード線電位が 8 V といっても、前述したようにトンネル絶縁膜 10 に FN 窒化膜を用いたためゲート絶縁膜 6 の酸化シリコン膜換算値が従来より大幅に低減されていることが、図 5 の場合と異なる。そのため、本実施形態の書き込みにおいてワード線印加電圧 8 V は、FN 窒化膜内のトンネル電界を $10 \sim 12 \text{ MV/cm}$ とすると、従来のワード線印加電圧 11 ~ 11.5 V 相当となる。

したがって、本実施形態の書き込みでは、図 5 から、ワード線印加電圧 8 V で、1 ~ 2 msec の高速書き込みが達成されることが分かる。

すなわち、ワード線印加電圧 8 V で、選択セル S のメモリトランジスタ M11 の電荷蓄積手段（キャリアトラップ）に半導体基板 1 のチャネル形成領域 1a 全面から電荷が FN トンネル窒化膜 10 を通って FN トンネリング注入され、そのしきい電圧 V_{th} が変化してデータが書き込まれる。

【0055】

このように、本実施形態では、同等の書き込み速度を維持しながら書き込み電圧を従来の 11 V ~ 12 V 程度から 8 V に低減できる。

【0056】

一方、同様な理由により、本実施形態では、従来と同じ速度でデータ消去できるワード線印加電圧（消去電圧）の絶対値を従来より低くできる。

すなわち、消去電圧を従来の -7 V 程度から、-5 V に低減することができる。この場合、本実施形態ではゲート絶縁膜が実効的に従来より薄いので、同じ消去電圧を印加しても消去速度は大幅に向上する。

【0057】

この書き込み方法では、非選択ワード線 WL2 に例えば正の電圧を印加することにより、非選択セル B のディスターブマージンが拡大され、この非選択セル B が誤書き込みまたは誤消去されない。

また、非選択ビット線 BL2 および非選択ソース線 SL2 に逆バイアス電圧を

印加することによって、選択ワード線WL1のプログラム電圧の印加で非選択セルAが書き込み状態になることが防止できるとともに、非選択セルBが誤書き込み（および誤消去）されない。このときのバイアス電圧印加の順序は、上述のように非選択ワード線への電圧印加、逆バイアス電圧印加、プログラム電圧印加の順で行うと、非選択セルBがディスターストを受けにくく好ましい。

さらに、本実施形態で選択ワード線WLの印加電圧が、例えば12Vから8V程度に低減されていることは、非選択セルA、Bのディスタースト防止に有利となるといった効果も奏する。

【0058】

以上は、ディスタースト防止について述べてきたが、このほか、ソースおよびドレインを逆バイアスする際に耐圧（接合耐圧）に問題はないかを調べ、また主要デバイス特性についても確認しておく必要がある。

【0059】

〔メモリトランジスタの耐圧〕

ゲート電圧0Vの場合の電流－電圧特性について書き込み状態及び消去状態の両者の場合について検討した。

この結果、接合の降伏電圧は約10Vで、書き込み状態、消去状態に依存しないことが分かった。しかし、3V～5V付近のサブブレイクダウン領域における立ち上がり電圧は書き込み状態と消去状態で異なることが分かった。

【0060】

書き込み状態における電流－電圧特性のゲート電圧依存性について検討した。降伏電圧はゲート電圧依存性を示さず、サブブレイクダウン領域における立ち上がり電圧はゲート電圧依存性を示した。サブブレイクダウン領域はゲートエッジ部のドレイン／ソース領域表面でのバンド間トンネル現象に起因していると推定されるが、電流レベルが小さいため、ここでは問題にならないと考えられる。また、約10Vの降伏電圧もソース・ドレイン印加電圧（インヒビットS/D電圧）の上限が7V程度で十分マージンがとれるため、インヒビット特性に直接的に影響することはないと考えられる。

以上より、0.18 μ mMONOS型メモリトランジスタにおいて、その接合

耐圧はプログラムディスタート特性の制限要因とはならないことが分かった。

【0061】

〔主要デバイス特性〕

書き込み状態、消去状態での電流-電圧特性を検討した。

ゲート電圧 0 V の場合、ドレイン電圧 1.5 V での非選択セルの電流値は約 1 nA であった。この場合の読み出し電流は 10 μ A 以上であるため、非選択セルの誤読み出しが生じることはないと考えられる。したがって、ゲート長 0.18 μ m の MONOS 型メモリトランジスタにおいて読み出し時のパンチスルー耐圧のマージンは十分あることが分かった。また、ゲート電圧 1.5 V でのリードディスタート特性も評価したが、 3×10^8 sec 以上の読み出し時間が可能であった。

【0062】

書き込み条件（プログラム電圧：8 V、プログラム時間：1 msec）、消去条件（消去時ゲート電圧：-5 V、消去時間：100 msec）でのデータ書き換え特性を検討した。データ書換回数は、キャリアトラップが空間的に離散化されているために良好で、 1×10^6 回を満足することが分かった。また、データ保持特性は 1×10^6 回のデータ書き換え後で 85 $^{\circ}$ C、10 年を満足した。

【0063】

以上より、0.18 μ m 世代の MONOS 型不揮発性メモリトランジスタとして十分な特性が得られていることを確かめることができた。

【0064】

本実施形態では、トンネル絶縁膜に FN 窒化膜を用いることにより、ワード線印加電圧（プログラム電圧および消去電圧）を従来より大幅に低減した電圧レベルで対称にすることができ、その結果、動作電圧発生回路の構成を簡素にすることができる。

また、FN トンネル窒化膜は、データ書き換え後の欠陥形成にともなうリーク電流（SILC）が酸化膜と比較して材料物性的に低減されるため、書き込み消去の繰り返し特性（エンデュランス特性）が向上する。このエンデュランス特性は、トンネル絶縁膜の膜厚が比較的厚いこと自体でも既に向上している。なぜな

ら、比較的厚いトンネル絶縁膜によって電荷蓄積手段へのホールの注入が抑制され、この結果、ホールによるトンネル絶縁膜の劣化が抑制されているからである。

さらに、データ書き換え後のデータ保持特性、ディスターブ特性等の信頼性が向上している。

【0065】

とくに本実施形態では、非選択ワード線に例えば正のバイアス電圧を印加することにより、非選択ワード線、非選択ビット線双方に接続された非選択セルBのインヒビットS/D電圧の上限を上げ、プログラムディスターブマージンを大きくできることを、0.18 μm 世代のMONOS型不揮発性メモリにおいて実験的に確認することができた。この効果のゲート長依存性も調べた結果、ゲート長が0.2 μm より短い領域において特に顕著であった。この改善効果は、ゲート電圧0Vの従来の場合ではチャネル形成領域が逆バイアス電圧により空乏化して、トランジスタのチャネル形成領域においてONO膜内の保持電荷が基板側に引き抜かれる方向の電界成分が増大しており、これをゲート電圧をチャネル形成領域に対し逆バイアス方向（本実施形態では、正方向）にバイアスする電圧の印加によって低減している。このインヒビットS/D電圧の上限を上げることは、これにより同じ非選択ビット線に接続された非選択セルAのプログラムディスターブマージンを拡大することも分かった。また、トランジスタの接合耐圧を実験的に検討した結果、トランジスタの接合耐圧はインヒビットS/D電圧より大きく、プログラムインヒビット特性の制限要因にはならないことが分かった。主要デバイス特性への影響がないことも確認した。これらプログラムディスターブマージンの拡大を示すデータは、0.18 μm 世代以降のゲート長のMONOS型メモリトランジスタにもその原理から適用できる。

【0066】

このようなプログラムディスターブマージンの拡大によって、メモリセルのトランジスタ数を単一とした1トランジスタセルの実現が容易化される。この実現のためには、ディスターブマージン拡大のほか、メモリトランジスタのしきい電圧をデプリーションにならないエンハンス型メモリセルとする必要があるが、プ

ログラム電圧の増大余地が生じたことによって同じプログラム速度ならトンネル膜厚を厚くでき、これにより消去特性において、しきい値電圧がデプリーションになりずらく、エンハンスメントで飽和するメモリ特性が得られ、この面でも 1 トランジスタセルが実現しやすくなった。

【0067】

1 トランジスタセルでは、選択トランジスタをメモリセルごとに配置する必要がなく、セル面積縮小、ひいてはチップ面積縮小によるコスト低減、大容量化が図れる。この結果、FG 型不揮発性メモリの NOR 型、AND 型、NAND 型あるいは DINOR 型等と同等のセル面積の大容量 MONOS 型不揮発性メモリを低コストで実現することが可能となった。

なお、本例における書き込みインヒビット電圧供給回路は、ソース領域を逆バイアスした状態で情報の読み出しを行うことにより、実効的にエンハンスメント動作させるときに用いることも可能である。

【0068】

以上より、本実施形態では、低電圧動作の 1 トランジスタセルが容易に実現可能となった。

【0069】

第 2 実施形態

図 6 は、本実施形態に係る不揮発性半導体メモリの概略構成を示す図である。

【0070】

本例の不揮発性メモリ装置 100 は、その各メモリセルがソース分離 NOR 型の 1 トランジスタセル構成であること、ソース線が蛇行した微細 NOR 型のメモリセルアレイパターン（図 2）が好適に適用できること、及び各メモリセルに対するワード線、ビット線および分離型ソース線の接続関係は、第 1 実施形態と同様である。

【0071】

本実施形態では、詳細は後述するが、各メモリトランジスタのゲート電極上に誘電膜を介してプルアップ電極が設けられている。

各メモリトランジスタのプルアップ電極は、例えばワード方向に配線されたプ

ルアップ線に共通に接続されている。

すなわち、ワード方向に隣接するメモリトランジスタM11とM21の各プルアップ電極がプルアップ線PL1に接続され、同様に、ワード方向に隣接するメモリトランジスタM12とM22の各プルアップ電極がプルアップ線PL2に接続されている。

【0072】

プルアップ線PL1, PL2, …に、共通な選択トランジスタST0を介してプルアップゲートバイアス回路102が接続されている。プルアップゲートバイアス回路102は、書き込み時にワード線を所定の電位まで昇圧するための回路であり、これにより書き込み時に選択されたワード線に予め印加する書き込み電圧（以下、プログラム電圧またはプリチャージ電圧ともいう）を低減することができる。

この制御では、プログラム電圧の印加後にワード線を電位的に浮遊状態とする必要がある。このため、各ワード線WL1, WL2, …は、選択トランジスタST1, ST2, …を介して、図示しないワード線選択回路（ロウデコーダ）に接続されている。

【0073】

図7は、本実施形態に係るMONOS型メモリトランジスタの素子構造を示す断面図である。

本実施形態のMONOS型不揮発性メモリトランジスタが、半導体基板1、ソース領域2、ドレイン領域4、ゲート絶縁膜6、チャネル形成領域1a、トンネル絶縁膜（FNトンネル窒化膜）10、トップ絶縁膜14、ゲート電極8を有することは第1実施形態と同様である。

【0074】

本実施形態では、ゲート電極8上に、誘電膜16を介してプルアップ電極18が積層されている。

誘電膜16は、HTO（High temperature chemical vapor deposited Oxide）膜またはCVD-SiO₂膜からなり、その膜厚は例えば10nm程度である。

プルアップ電極18は、一般に、doped poly-Si、又はdoped poly-Siと高融

点金属シリサイドとの積層膜からなる。

【0075】

この不揮発性メモリトランジスタの製造方法は、トップ絶縁膜14を成膜するまでは、第1実施形態と同様である。

本実施形態では、その後、トップ絶縁膜14上に、誘電膜16をHT-CVDまたは減圧CVDにより、続いてプルアップ電極18となる膜を例えば減圧CVDにより、それぞれ所定膜厚だけ成膜する。

そして、この誘電膜16およびプルアップ電極18となる膜を、下地のトップ絶縁膜14、窒化膜12およびFNトンネル窒化膜10とともに、例えばRIEにより連続してエッチングする。

これによりゲート電極およびプルアップ電極のパターンニングが終了し、以後は、第1実施形態と同様な諸工程を経て当該不揮発性メモリトランジスタを完成させる。

【0076】

つぎに、書き込み動作について説明する。

図8に、第1実施形態と同様に定義した4種類のセルに対する書き込みバイアス電圧の設定条件を示す。

【0077】

選択セルSにデータを書き込む場合、まず、選択ビット線BL1と選択ソース線SL1をローレベルの電圧、例えば接地電位0Vで保持し、その他の非選択のビット線BL2およびソース線SL2にハイレベルの電圧、例えば4Vを設定する。また、非選択のワード線WL2に基板電位が0Vのときは所定の電圧、例えば2.5Vを印加する。

この状態で、選択セルSが接続されたワード線WL1に選択トランジスタST1を介して10V以下の電圧、例えば5Vを印加して選択ワード線WL1をプリチャージする。このため、選択セルSを構成するメモリトランジスタM11のゲート電極の電位が5V程度に上昇するが、この電位では十分な書き込みは行われない。

【0078】

つぎに、選択ワード線WL1に接続された選択トランジスタST1がオフされ、選択ワード線WL1が電氣的に浮遊状態となる。

そして、今度はプルアップ線が接続された選択トランジスタST0をオンさせ、プルアップゲートバイアス回路102により、選択セルSが接続されたプルアップ線PL1に10V以下の所定電圧、例えば5Vを印加する。

これにより、選択ワード線WL1が書き込みが可能な電圧まで昇圧される。この昇圧後の最終的なワード線電位Vwは、次式で表わされる。

【0079】

【数1】

$$V_w = V_{pc} + C \times V_{pull} \quad \dots (1)$$

【0080】

ここで、Vpcはワード線のプリチャージ電圧、Cはプルアップ電極とワード線との容量結合比、Vpullはプルアップ電極の印加電圧（プルアップ電圧）を示す。

【0081】

上記例では、プリチャージ電圧Vpcおよびプルアップ電圧Vpullは共に5Vである。ここで、容量結合比Cを0.6とすると、上記(1)式から、昇圧後のワード線電位Vwは8Vとなる。このワード線電位Vw:8Vは、第1実施形態と同様にトンネル絶縁膜が酸化シリコンからなる場合のワード線印加電圧11~11.5Vに相当する(図5)。

その結果、選択セルSのメモリトランジスタM11の電荷蓄積手段（キャリアトラップ）に半導体基板1のチャネル形成領域1a全面から電荷がFNトンネル窒化膜10を通してFNトンネリング注入され、そのしきい電圧Vthが変化してデータが書き込まれる。

【0082】

このように本実施形態の書き込みでは、ワード線印加電圧5V（昇圧後のワード線電位8V）で1msecの高速書き込みが達成される。

また、同様な理由により、消去電圧-5Vで従来の消去電圧-7Vと同じ速度

(100 msec) で消去できる。

以上より、ワード線印加電圧を書き込み時に 5 V、消去時に -5 V と、大幅に低減された電圧レベルで動作電圧を対称にすることができる。その結果、図示しない動作電圧発生回路の構成を極めて簡素にすることができ、またチップ面積の縮小、低消費電力化を達成することが可能となる。

【0083】

第 1 実施形態と同様に、FN トンネル窒化膜の SILC 低減作用により、エンデュランス特性が向上し、またトンネル絶縁膜が比較的厚いことから、データ書き換え後のデータ保持特性、ディスターブ特性等の信頼性が向上する。

【0084】

第 3 実施形態

本実施形態は、ビット線およびソース線が階層化された分離ソース型の微細 NOR 型セルを有する不揮発性半導体メモリに関する。

図 9 は、本実施形態に係る不揮発性半導体メモリの概略構成を示す図である。

【0085】

本例の不揮発性メモリ装置 110 では、ビット線が主ビット線と副ビット線に階層化され、ソース線が主ソース線と副ソース線に階層化されている。主ビット線 MBL1 に選択トランジスタ S11 を介して副ビット線 SBL1 が接続され、主ビット線 MBL2 に選択トランジスタ S21 を介して副ビット線 SBL2 が接続されている。また、主ソース線 MSL に対し、選択トランジスタ S12 を介して副ソース線 SSL1 が接続され、選択トランジスタ S22 を介して副ソース線 SSL2 が接続されている。

【0086】

そして、副ビット線 SBL1 と副ソース線 SSL1 との間に、メモリトランジスタ M11 ~ M1n が並列接続され、副ビット線 SBL2 と副ソース線 SSL2 との間に、メモリトランジスタ M21 ~ M2n が並列接続されている。この互いに並列に接続された n 個のメモリトランジスタと、2 つの選択トランジスタ (S11 と S12、又は、S21 と S22) とにより、メモリセルアレイを構成する単位ブロックが構成される。

【0087】

ワード方向に隣接するメモリトランジスタM11, M21, ...の各ゲートがワード線WL1に接続されている。同様に、メモリトランジスタM12, M22, ...の各ゲートがワード線WL2に接続され、また、メモリトランジスタM1n, M2n, ...の各ゲートがワード線WLnに接続されている。

ワード方向に隣接する選択トランジスタS11, S21, ...は選択線SG1により制御され、選択トランジスタS12, S22, ...は選択線SG2により制御される。

【0088】

各メモリトランジスタは、例えば図3に示す構造を有し、ゲート電極上に誘電膜を介してプルアップ電極が設けられている。第1実施形態と同様、各メモリトランジスタのプルアップ電極は、例えばワード方向に配線されたプルアップ線に共通に接続されている。具体的に、メモリトランジスタM11とM21の各プルアップ電極がプルアップ線PL1に接続され、メモリトランジスタM12とM22の各プルアップ電極がプルアップ線PL2に接続され、メモリトランジスタM1nとM2nの各プルアップ電極がプルアップ線PLnに接続されている。

第1実施形態と同様、プルアップ線PL1, PL2, ..., PLnに、選択トランジスタST0を介してプルアップゲートバイアス回路102が接続されている。

【0089】

本実施形態においても、第1実施形態と同様に、トンネル絶縁膜にFNトンネル窒化膜を用いることにより、また、ワード線昇圧によって、ワード線印加電圧（プログラム電圧および消去電圧）を従来より大幅に低減した電圧レベル（例えば、5V）で対称にすることができ、その結果、動作電圧発生回路の構成を簡素にすることができる。第1実施形態と同様に、エンデュランス特性、データ書き換え後の信頼性も向上する。

【0090】

また、ビット線とソース線が階層化されており、選択トランジスタS11又はS21が非選択の単位ブロックにおける並列メイントランジスタ群を主ビット線

MBL 1 または MBL 2 から切り離すため、主ビット線の容量が著しく低減され、高速化、低消費電力化に有利である。また、選択トランジスタ S 1 2 または S 2 2 の働きで、副ソース線を主ソース線から切り離して、低容量化することができる。

【0091】

その他、副配線（副ビット線、副ソース線）を不純物領域で構成した疑似コンタクトレス構造とすることができ、第 1 実施形態に示す NOR 型セルよりビット当たりの実効セル面積を小さくすることができる。

たとえば、トレンチ分離技術、自己整合作製技術（例えば、図 2 に示す微細 NOR 型セルで用いた自己整合コンタクト形成技術）等を用いることにより、専有面積が $6F^2$ （F は最小デザインルール）の微細セルが製造可能である。その製造の際、副ビット線 SBL 1、SBL 2 または副ソース線 SSL 1、SSL 2 は不純物領域、またはサリサイドを張り付けた不純物領域で形成し、主ビット線 MBL 1、MBL 2 はメタル配線を用いるとよい。

【0092】

また、チャネル全面書き込み、チャネル全面消去のオペレーションを採用することができる。

チャネル全面の書き込み／消去オペレーションを用いると、ドレインまたはソース不純物領域でのバンド間トンネル電流を抑止するための 2 重拡散層構造を用いる必要がないため、不純物領域へ蓄積電荷を引く抜くオペレーションと比較して、メモリトランジスタのソースおよびドレイン不純物領域のスケーリング性に優れる。その結果として、セルの微細化スケーリング性が優れ、このため、より微細なゲート長のメモリトランジスタを実現することができる。

【0093】

第 4 実施形態

図 10 は、本実施形態に係る不揮発性半導体メモリの概略構成を示す図である。

【0094】

本例の不揮発性半導体メモリ 120 は、メモリセルアレイの構成、メモリトラ

ンジスタの構造および製造方法が第2実施形態と同様である。

また、メモリトランジスタのゲート電極を昇圧するための構成、即ち、図10に示すように、メモリトランジスタにプルアップ電極が設けられ、プルアップ電極にプルアップ線PL1、PL2が接続され、プルアップ線PL1、PL2に選択トランジスタST0を介してプルアップゲートバイアス回路102が接続されていることは、第2、第3実施形態と同様である。

さらに、書き込み及び消去方法は、基本的に第2実施形態と同様である。ただし、構成上、第2実施形態と異なることは、図8の非選択ビット線BL2および非選択ソース線SL2の4Vの電圧印加、非選択ワード線WL2の2.5Vの電圧印加を行う具体的な手段として、第1実施形態と同様に書き込みインヒビット電圧供給回路92および非選択ワード線電圧供給回路94を有することである。

【0095】

図11に、本実施形態に係る不揮発性半導体メモリ120の諸特性を表にまとめた。

本実施形態では、第2実施形態と同様なプログラム条件（5V，1msec）、消去条件（-5V，100msec）が達成できた。

また、データ書き換え回数は 1×10^6 回、データ保持特性は100万回書き換え後に85℃，10年、リードディスターブに対しても100万回書き換え後に10年間の保証ができることを確認した。これらの測定はインヒビットS/D電圧：4Vで行った。

さらに、主要デバイス特性も良好で、メモリトランジスタの接合耐圧は10Vを満足した。

【0096】

本実施形態においても、第2実施形態と同様に、トンネル絶縁膜にFNトンネル窒化膜を用いることにより、また、ワード線昇圧によって、ワード線印加電圧（プログラム電圧および消去電圧）を従来より大幅に低減した電圧レベル（例えば、5V）で対称にすることができ、その結果、動作電圧発生回路の構成を簡素にすることができる。

【0097】

第1実施形態と同様に、ディスターブマージンの拡大によってエンデュランス特性、データ書き換え後の信頼性も向上し、低電圧動作の1トランジスタセル化が容易となり、その結果、セル面積縮小、ひいてはチップ面積縮小によるコスト低減、大容量化が可能となった。

【0098】

第5実施形態

本実施形態では、MONOS型不揮発性メモリの素子構造の変形例について示す。

図12は、このMONOS型メモリトランジスタの素子構造を示す断面図である。

【0099】

本実施形態のMONOS型不揮発性メモリが、先の第1実施形態と異なるのは、本実施形態のゲート絶縁膜20が、窒化膜12に代えて酸化窒化膜22を具備することである。その他の構成、即ち半導体基板1、ソース領域2、ドレイン領域4、チャネル形成領域1a、トンネル絶縁膜10、トップ絶縁膜14、ゲート電極8、誘電膜16およびプルアップ電極18は、第1実施形態と同様である。

酸化窒化膜22は、第1実施形態と同様にトンネル絶縁膜10にFNトンネル窒化膜を用いていることから、例えば3.0nmと比較的薄くできる。

【0100】

このような構成のメモリトランジスタの製造では、トンネル絶縁膜10の成膜後、酸化窒化膜22を、例えば減圧CVD法により最終膜厚が5.0nmとなるように、これより厚めに堆積する。このCVDは、例えば、ジクロロシラン(DCS)，アンモニアおよび N_2O を混合した導入ガスを用い、基板温度650℃で行う。この熱酸化膜上の酸化窒化膜(SiO_xNy 膜； $0 < x < 1$ ， $0 < y < 1$)形成では、必要に応じて、予め下地面の前処理(ウエハ前処理)及び成膜条件を最適化するとよいことは第1実施形態と同様である。その後は、第1，第2実施形態と同様に、トップ絶縁膜14，ゲート電極8，誘電膜16およびプルアップ電極18となる各膜の成膜と加工を経て、当該MONOS型メモリトランジ

スタを完成させる。

本実施形態の場合も、第1実施形態と同様に、低電圧動作が可能な1トランジスタセルとして良好な特性が得られた。

また、第2実施形態と同様、ゲート電極の電位をプルアップすることによる効果が得られた。

【0101】

第6実施形態

本実施形態は、メモリトランジスタの電荷蓄積手段としてゲート絶縁膜中に埋め込まれ例えば10ナノメートル以下の粒径を有する多数の互いに絶縁されたSiナノ結晶を用いた不揮発性半導体記憶装置（以下、Siナノ結晶型という）に関する。

【0102】

図13は、このSiナノ結晶型メモリトランジスタの素子構造を示す断面図である。

本実施形態のSiナノ結晶型不揮発性メモリが、先の実施形態と異なるのは、本実施形態のゲート絶縁膜30が、窒化膜12とトップ絶縁膜14に代えて、トンネル絶縁膜10上の電荷蓄積手段としてのSiナノ結晶32と、その上の酸化膜34とが、ゲート電極8との間に形成されていることである。その他の構成、即ち半導体基板1、チャネル形成領域1a、ソース領域2、ドレイン領域4、トンネル絶縁膜10、ゲート電極8、誘電膜16およびプルアップ電極18は、先の実施形態と同様である。

【0103】

Siナノ結晶32は、そのサイズ（直径）が、好ましくは10nm以下、例えば4.0nm程度であり、個々のSiナノ結晶同士が酸化膜34で空間的に、例えば4nm程度の間隔で分離されている。

本例におけるトンネル絶縁膜10は、電荷蓄積手段（Siナノ結晶32）が基板側に近いこととの関係で、第1実施形態よりやや厚く、使用用途に応じて2.6nmから5.0nmまでの範囲内で適宜選択できる。ここでは、4.0nm程度の膜厚とした。

【0104】

このような構成のメモリトランジスタの製造では、トンネル絶縁膜10の成膜後、例えば減圧CVD法でトンネル酸化膜10の上に、複数のSiナノ結晶42を形成する。また、Siナノ結晶42を埋め込むかたちで、酸化膜44を、例えば7nmほど減圧CVDにより成膜する。この減圧CVDでは、原料ガスがDCSとN₂Oの混合ガス、基板温度が例えば700℃とする。この時Siナノ結晶32は酸化膜34に埋め込まれ、酸化膜34表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス（例えばCMP等）を行うとよい。その後は、ゲート電極8、誘電膜16およびプルアップ電極18となる各膜の成膜と加工を経て、当該Siナノ結晶型メモリトランジスタを完成させる。

【0105】

このように形成されたSiナノ結晶32は、平面方向に離散化されたキャリアトラップとして機能する。そのトラップレベルは、周囲の酸化シリコンとのバンド不連続値で推定可能で、その推定値では約3.1eV程度とされる。この大きさの個々のSiナノ結晶32は、数個の注入電子を保持できる。なお、Siナノ結晶32を更に小さくして、これに単一電子を保持させてもよい。

【0106】

このような構成のSiナノ結晶型不揮発性メモリについて、ランドキストのバックトンネリングモデルによりデータ保持特性を検討した。データ保持特性を向上させるためには、トラップレベルを深くして、電荷重心と半導体基板1との距離を大きくすることが重要となる。そこで、ランドキストモデルを物理モデルに用いたシミュレーションにより、トラップレベル3.1eVの場合のデータ保持を検討した。この結果、トラップレベル3.1eVの深いキャリアトラップを用いることにより、電荷保持媒体からチャネル形成領域1aまでの距離が4.0nmと比較的に近い場合でも良好なデータ保持を示すことが分かり、予想通りの結果が得られた。

【0107】

次いで、低電圧プログラミングについて検討した。本例における書き込み時間は、プルアップ電極によるワード線の昇圧効果が有効に働き、プログラム電圧が

3 V の低プログラム電圧で 1 m s e c 以下であり、S i ナノ結晶型の高速書き込み性が実証できた。

【0108】

第7実施形態

本実施形態は、メモリトランジスタの電荷蓄積手段として絶縁膜中に埋め込まれ互いに分離した多数の微細分割型フローティングゲートを用いた不揮発性半導体記憶装置（以下、微細分割 F G 型という）に関する。

【0109】

図 1 4 は、この微細分割 F G 型メモリトランジスタの素子構造を示す断面図である。

本実施形態の微細分割 F G 型不揮発性メモリが、先の実施形態と異なるのは、メモリトランジスタが S O I 基板に形成されていることと、本実施形態のゲート絶縁膜 4 0 が、窒化膜 1 2 とトップ絶縁膜 1 4 に代えて、トンネル絶縁膜 1 0 上の電荷蓄積手段としての微細分割型フローティングゲート 4 2 と、その上の酸化膜 4 4 とが、ゲート電極 8 との間に形成されていることである。その他の構成のうち、トンネル絶縁膜 1 0、ゲート電極 8、誘電膜 1 6 およびプルアップ電極 1 8 は、先の実施形態と同様である。

この微細分割フローティングゲート 4 2 は、先の第 5 実施形態の S i ナノ結晶 3 2 とともに本発明でいう“小粒径導電体”の具体例に該当する。

【0110】

S O I 基板としては、酸素イオンをシリコン基板に高濃度にイオン注入し基板表面より深い箇所に埋込酸化膜を形成した S I M O X (Separation by Implanted Oxygen) 基板や、一方のシリコン基板表面に酸化膜を形成し他の基板と張り合わせた張合せ基板などが用いられる。このような方法によって形成され図 1 1 に示した S O I 基板は、基板 4 6、分離酸化膜 4 8 およびシリコン層 5 0 とから構成され、シリコン層 5 0 内に、チャネル形成領域 5 0 a、ソース領域 2 およびドレイン領域 4 が設けられている。

ここで基板 4 6 として、半導体基板のほかガラス基板、プラスチック基板、サファイア基板等の半導体基板以外を用いてもよい。

【0111】

微細分割フローティングゲート42は、通常のFG型のフローティングゲートを、その高さが例えば5.0nm程度で、直径が例えば8nmまでの微細なポリSiドットに加工したものである。

本例におけるトンネル絶縁膜10は、第1実施形態よりやや厚いが、通常のFG型に比べると格段に薄く形成され、使用用途に応じて2.5nmから4.0nmまでの範囲内で適宜選択できる。ここでは、最も厚い4.0nmの膜厚とした。

【0112】

このような構成のメモリトランジスタの製造では、SOI基板上にトンネル絶縁膜10を成膜した後、例えば減圧CVD法で、トンネル絶縁膜10の上にポリシリコン膜（最終膜厚：5nm）を成膜する。この減圧CVDでは、原料ガスがDCSとアンモニアの混合ガス、基板温度が例えば650℃とする。つぎに、例えば電子ビーム露光法を用いて、ポリシリコン膜を直径が例えば8nmまでの微細なポリSiドットに加工する。このポリSiドットは、微細分割型フローティングゲート42（電荷蓄積手段）として機能する。その後、微細分割型フローティングゲート42を埋め込むかたちで、酸化膜44を、例えば9nmほど減圧CVDにより成膜する。この減圧CVDでは、原料ガスがDCSとN₂Oの混合ガス、基板温度が例えば700℃とする。この時、微細分割型フローティングゲート42は酸化膜44に埋め込まれ、酸化膜44表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス（例えばCMP等）を行うとよい。その後は、ゲート電極8、誘電膜16およびプルアップ電極18となる各膜の成膜と加工を経て、当該微細分割FG型メモリトランジスタを完成させる。

【0113】

このようにSOI基板を用い、フローティングゲートが微細に分割されることについては、素子を試作して特性を評価した結果、予想通りの良好な特性が得られることを確認した。

【0114】

変形例

以上述べてきた第1～第6実施形態において、種々の変形が可能である。

【0115】

たとえば、上記説明ではトップ絶縁膜14を単層の酸化膜としたが、トップ絶縁膜14を複数の積層膜とすることもできる。

たとえば、トップ絶縁膜14を下層の酸化膜と、上層のFNトンネル窒化膜とから構成することができる。これにより、ONO膜厚の酸化シリコン膜換算値を更に小さくでき、その結果、動作電圧を更に低減することが可能となる。

また、トップ絶縁膜14を下層の熱酸化膜と、上層のCVD酸化膜とから構成することができる。これにより、ONO膜の中間窒化膜を薄くしていったときにトップ絶縁膜を窒化膜の熱酸化による形成する際の増速酸化を抑制することができ、また高温加熱総量（サーマルバジェット）を低減できる。

【0116】

第2～第4実施形態におけるプルアップ線PL1，PL2，…は、各プルアップ線が異なる選択トランジスタを介して、プルアップゲートバイアス回路102に接続され、プルアップゲートバイアス回路102によってプルアップ線PL1，PL2，…を個別に制御してもよい。

【0117】

セルパターンは図2に限定されないし、また素子構造も図3，図7および図12～図14に限定されない。

たとえば、プルアップ電極18は誘電膜16を介してゲート電極8に近接していればよく、ゲート電極8と同じパターンでなくともよい。両電極8，18の容量結合比をあげるには、プルアップ電極18がゲート電極8の上面および側面を覆う構成が好ましい。プルアップ電極18を分離しないで、例えば所定数のブロックを単位とした各エリアごとにプレート状に形成してもよい。

また、ソース領域2およびドレイン領域4は、不純物導入により形成せずに、絶縁膜を介して近接する電極の印加電圧に応じて反転層を誘起する構成でもよい。この場合、ソース線およびビット線は、ソース領域2およびドレイン領域4に容量結合する。

【0118】

本発明における“平面的に離散化された電荷蓄積手段”は、窒化膜バルクのキャリアトラップおよび酸化膜と窒化膜界面付近に形成されたキャリアトラップ、シリコン等からなり粒径が例えば10nm以下の互いに絶縁されたナノ結晶、ポリシリコン等からなり微細なドット状に分割された微細分割フローティングゲート等をいう。したがって、上記実施形態以外では、ゲート絶縁膜がNO(Nitride-Oxide)膜からなるMNOS型であっても本発明が適用できる。

【0119】

第1実施形態の説明では、書き込みインヒビット電圧供給回路92は、メモリトランジスタのソース領域2とドレイン領域4との双方に同時に同一な逆バイアス電圧を付与することを前提としたが、本発明では、逆バイアス電圧は同一電圧に限定されず、またソース領域2とドレイン領域4の何れか一方に逆バイアス電圧を付与し、他方をオープンとするようにしてもよい。また、ソース線とビット線で異なる電圧を印加することも可能である。

【0120】

ビット線またはソース線を階層化した微細セル構造として、いわゆるAND型と称される図6の構成のほかに、例えばDINOR型、いわゆるHiCR型と称されソース線を隣接する2つのソース領域で共有した分離ソース型のセルアレイから構成される微細NOR型セルであっても、本発明が適用できる。

また、いわゆるNAND型のセル構造であっても本発明が適用でき、その場合、特に図示しないが、図9における各単位ブロック内で並列接続されたn個のメモリトランジスタM11~M1nまたはM21~M2nを、選択トランジスタS11とS12の間、または選択トランジスタS21とS22の間に直列に接続させた構成となる。

【0121】

本発明をメモリセルのトランジスタ数を単一とした1トランジスタメモリセルで説明したが、特にトンネル絶縁膜をFNトンネル窒化膜とし、或いはゲート電極をプルアップ電極との容量結合によって昇圧することによって動作電圧を低減することは、メモリトランジスタの共通線との接続を制御する選択トランジスタ

を各メモリセルごとに有する2トランジスタメモリセルに対しても有効である。

また、本発明は、スタンドアロン型の不揮発性メモリのほか、ロジック回路と同一基板上に集積化したエンベディッド型の不揮発性メモリに対しても適用可能である。

なお、第1～第4実施形態と第5～第7実施形態との組み合わせは任意であり、また第7実施形態のようにSOI基板を用いることは、第1～第6実施形態のメモリトランジスタ構造に重複して適用可能である。

【0122】

【発明の効果】

本発明に係る不揮発性半導体記憶装置及びその書き込み方法によれば、ゲート絶縁膜の実効膜厚を低減でき、動作電圧の低減が可能となる。

また、書き込み電圧により予めプリチャージされたメモリトランジスタのゲート電極（またはワード線）の電圧を、プルアップ電極の印加電圧により昇圧することができる。このため、書き込み速度を低下させることなく、書き込み電圧を更に低電圧化することができ、また書き込み電圧と消去電圧の非対称性を是正できる。

さらに、非選択なメモリトランジスタについてプログラムディスタートマージンが拡大され、その結果、低電圧で動作する1トランジスタメモリセルの実現が容易となる。

【図面の簡単な説明】

【図1】

第1実施形態に係るソース分離NOR型の不揮発性半導体メモリの概略構成を示す図である。

【図2】

具体的なセル配置パターンの一例として、自己整合技術と蛇行ソース線を用いた微細NOR型セルアレイの概略平面図である。

【図3】

第1実施形態に係るMONOS型メモリトランジスタの素子構造を示す断面図である。

【図 4】

第 1 実施形態に係る書き込みバイアス電圧の設定条件を示す図である。

【図 5】

不揮発性メモリトランジスタの書き込み／消去特性を示すグラフである。

【図 6】

第 2 実施形態に係る不揮発性半導体メモリの概略構成を示す図である。

【図 7】

第 2 実施形態に係る MONOS 型メモリトランジスタの素子構造を示す断面図である。

【図 8】

第 2 実施形態に係る書き込みバイアス電圧の設定条件を示す図である。

【図 9】

第 3 実施形態に係る不揮発性半導体メモリの概略構成を示す図である。

【図 10】

第 4 実施形態に係る不揮発性半導体メモリの概略構成を示す図である。

【図 11】

第 4 実施形態に係る不揮発性半導体メモリの諸特性を示す表である。

【図 12】

第 5 実施形態に係る MONOS 型メモリトランジスタの素子構造を示す断面図である。

【図 13】

第 6 実施形態に係る Si ナノ結晶型メモリトランジスタの素子構造を示す断面図である。

【図 14】

第 7 実施形態に係る微細分割 FG 型メモリトランジスタの素子構造を示す断面図である。

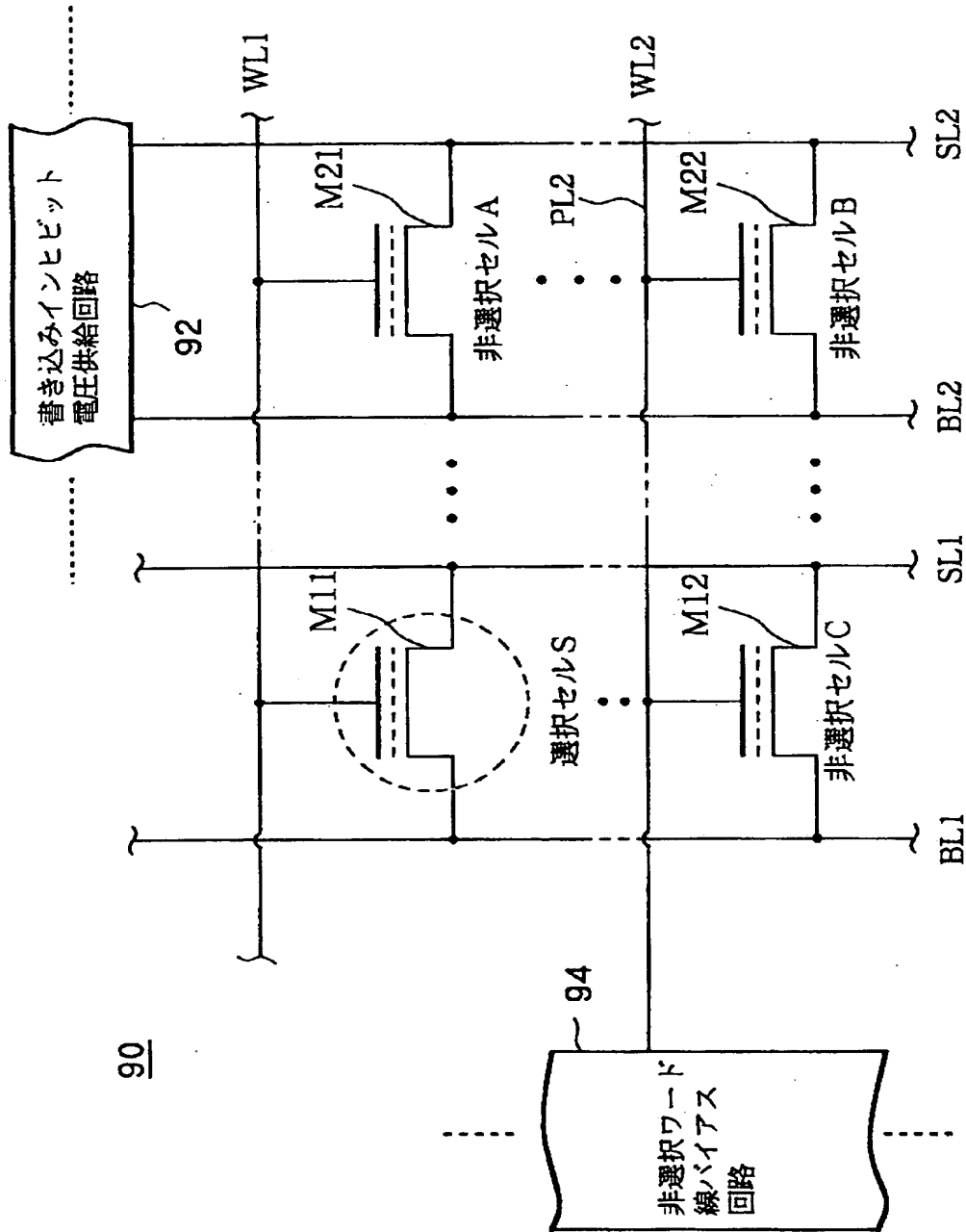
【符号の説明】

1…半導体基板、1a, 50a…チャネル形成領域、2…ソース領域、4…ドレイン領域、6, 20, 30, 40…ゲート絶縁膜、8…ゲート電極、10…ト

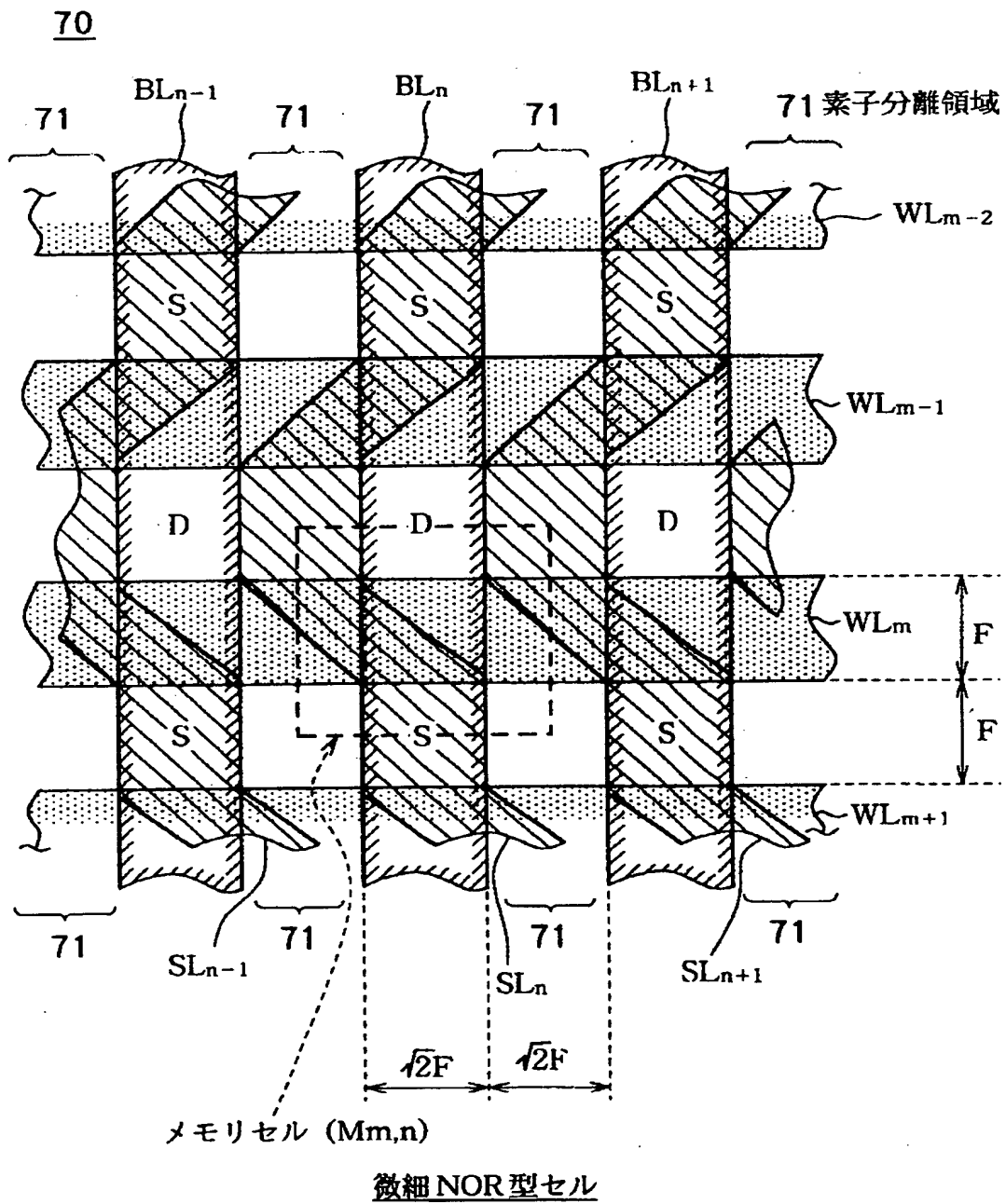
ンネル絶縁膜、12…窒化膜、14…トップ絶縁膜、16…誘電膜、18…プルアップ電極、22…酸化窒化膜、32…Siナノ結晶、34, 44…酸化膜、42…微細分割型フローティングゲート、46…基板、48…分離酸化膜、50…シリコン層、70…微細NOR型セルアレイ、71…素子分離領域、90, 100, 110, 120…不揮発性半導体メモリ、92…書き込みインヒビット電圧供給回路（書き込みインヒビット電圧供給手段）、94…非選択ワード線バイアス回路（非選択ワード線バイアス手段）、102…プルアップゲートバイアス回路（プルアップゲートバイアス手段）、M11～M22…メモリトランジスタ、S11, ST0等…選択トランジスタ、A～C…非選択セル、S…選択セル、PLL1等…プルアップ線、BL1等…ビット線、MBL1等…主ビット線、SBL…副ビット線、SL1等…ソース線、MSL…主ソース線、SSL…副ソース線、WL1等…ワード線、Vth…しきい電圧。

【書類名】 図面

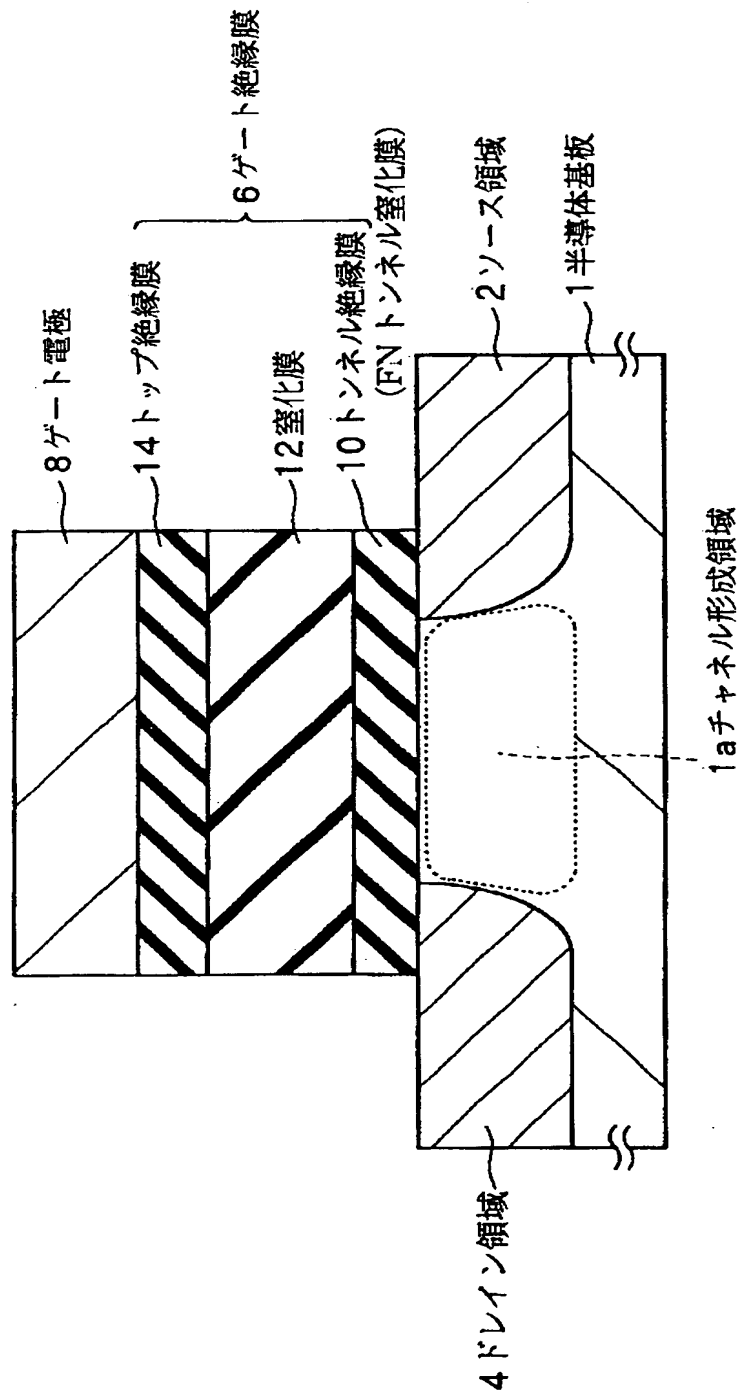
【図 1】



【図 2】

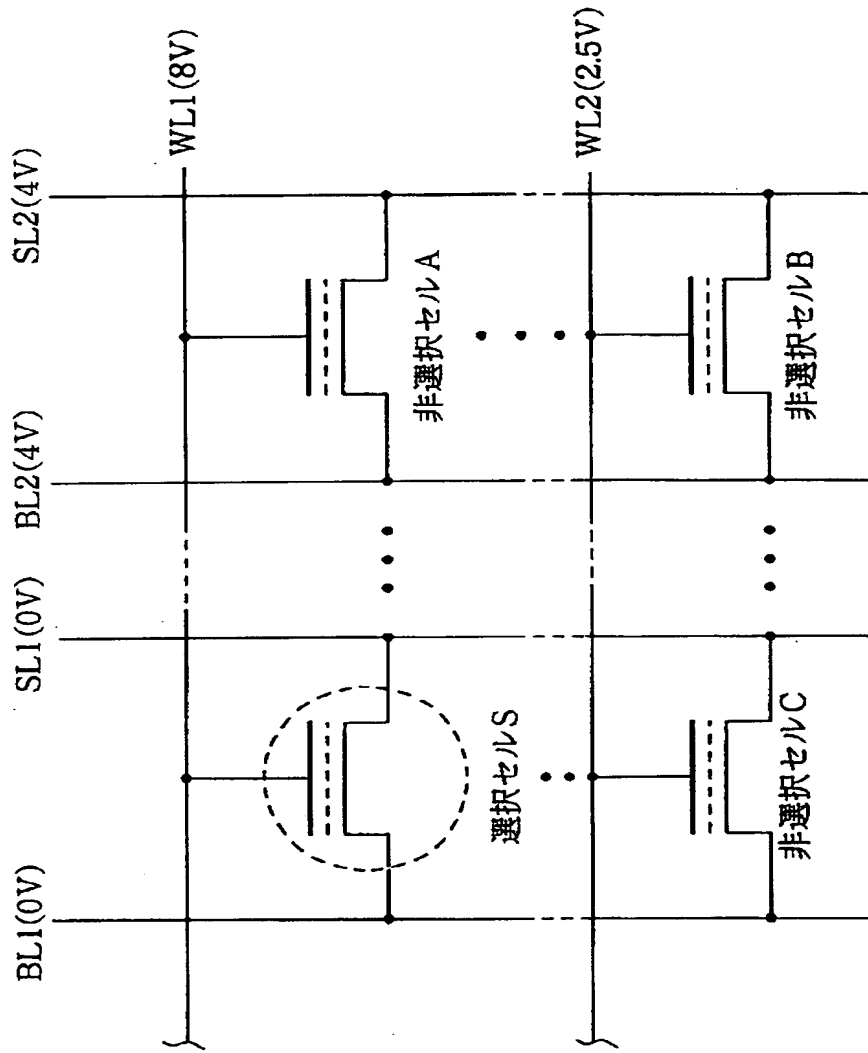


【図 3】

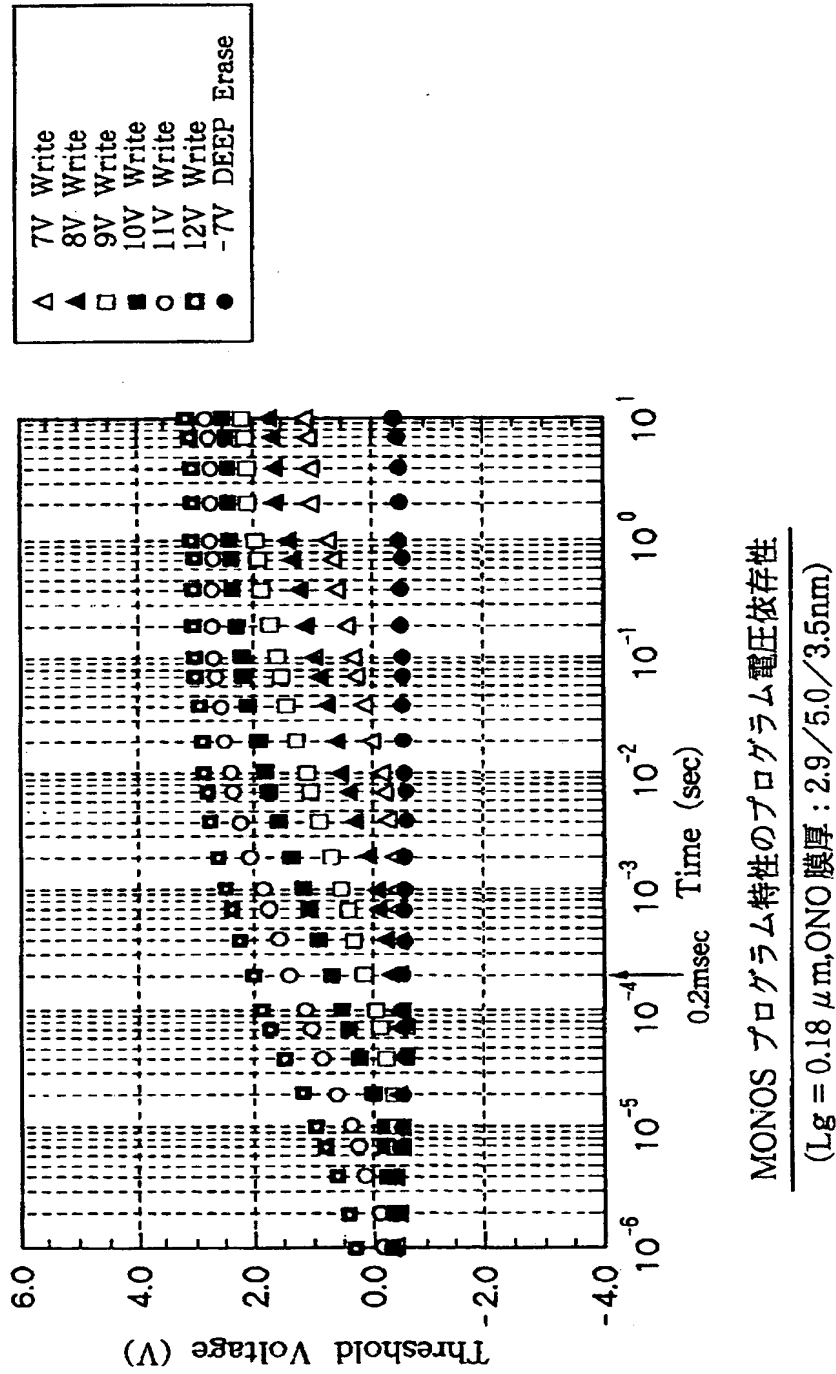


第1実施形態に係る不揮発性メモリトランジスタ

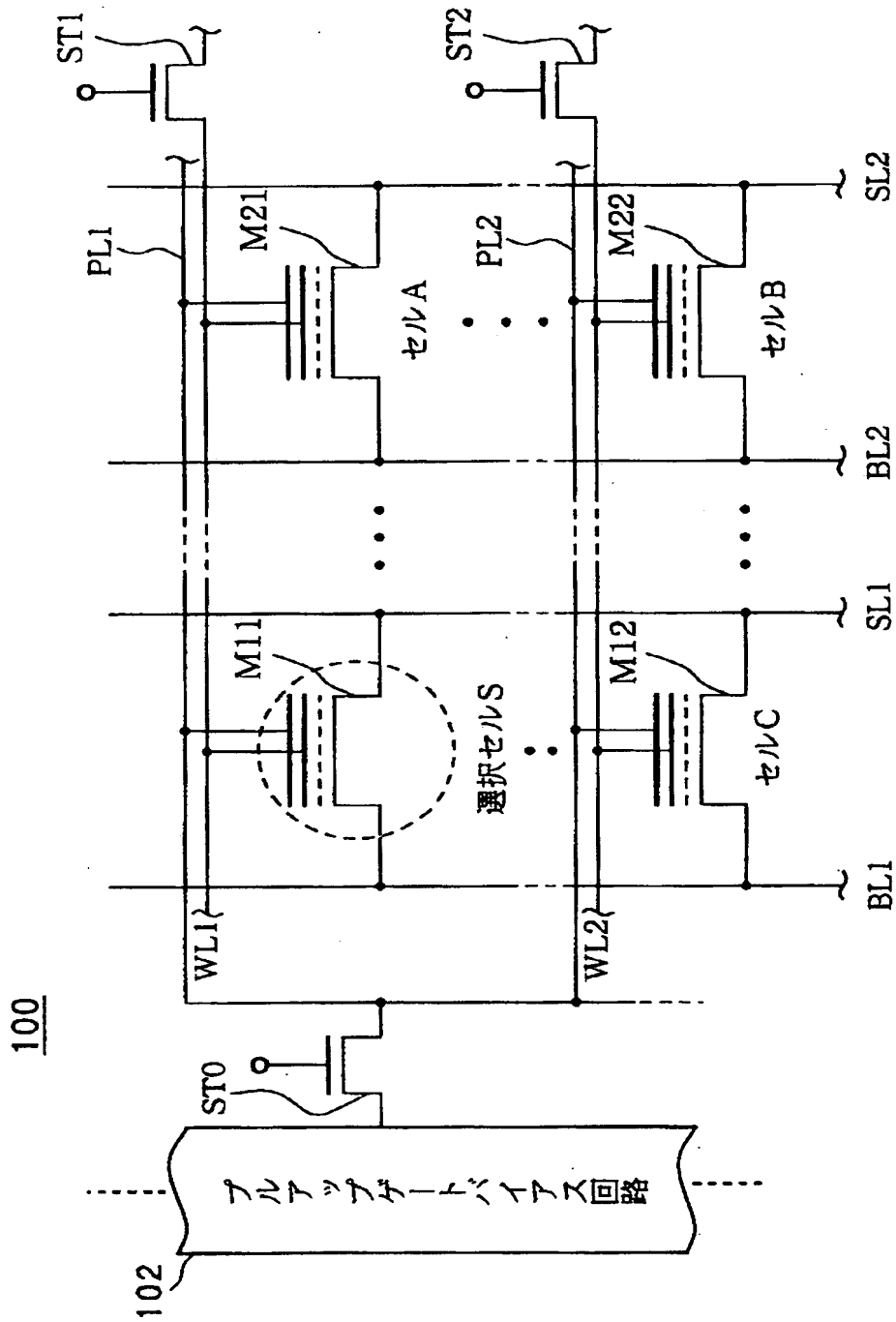
【図4】



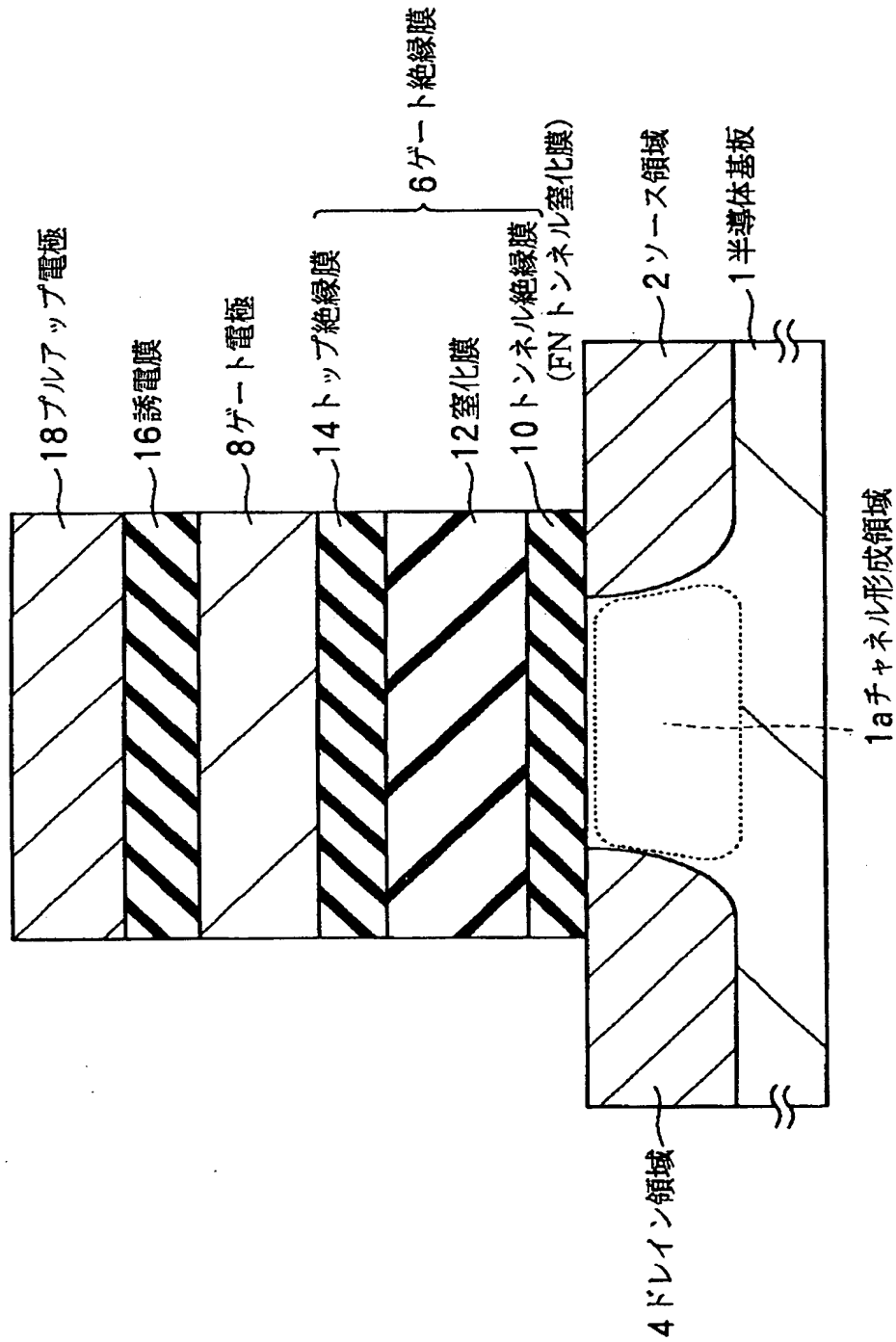
【図 5】



【図 6】

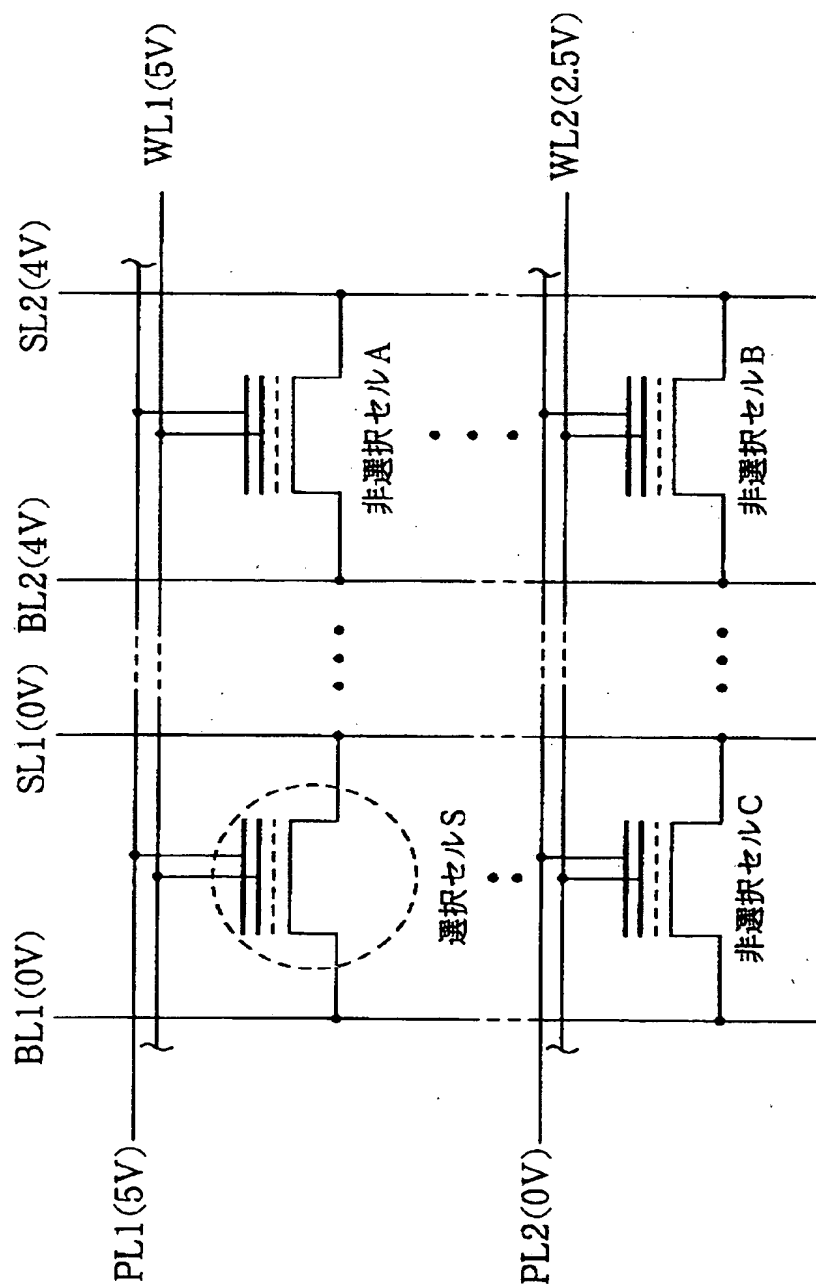


【図 7】

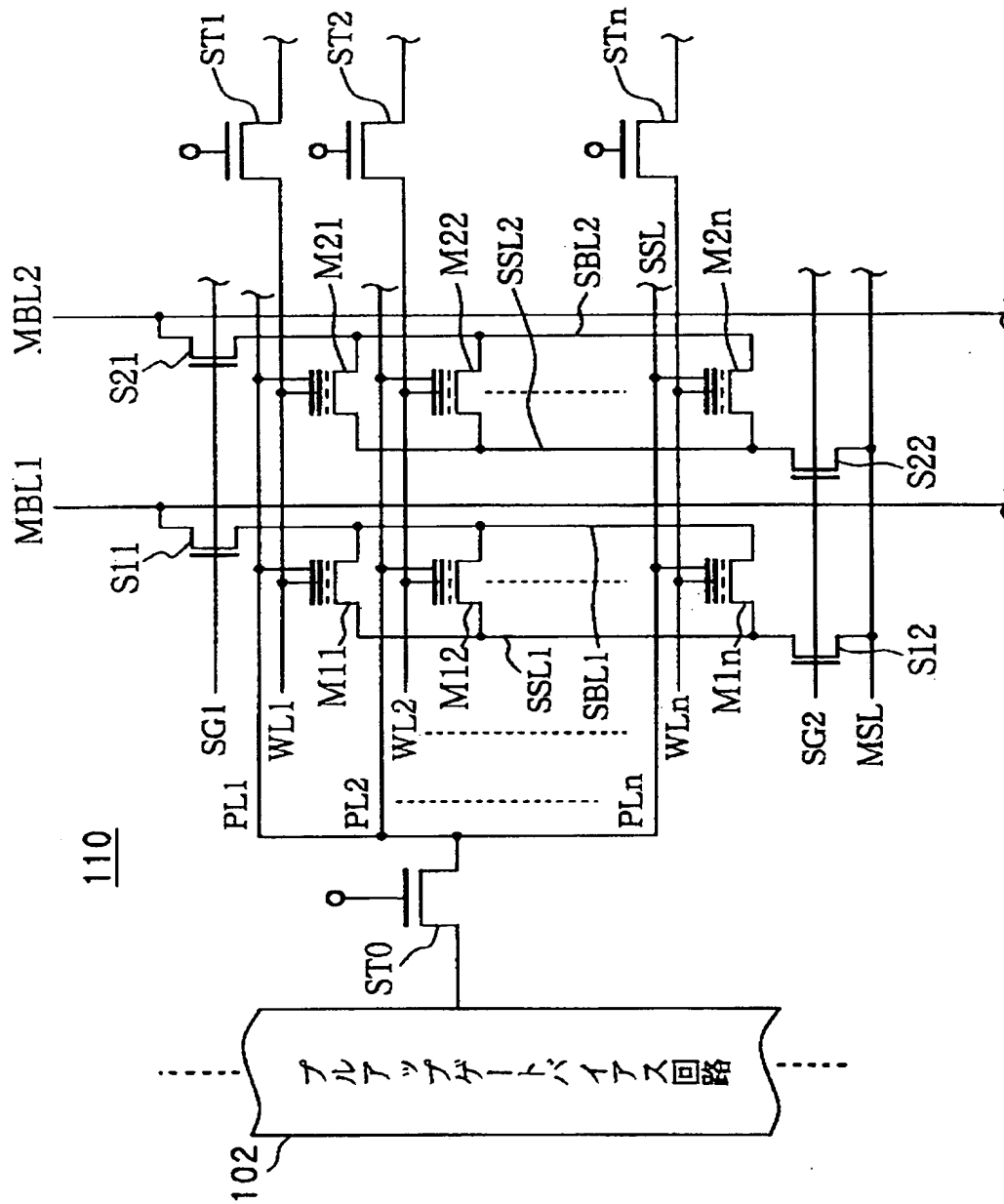


第2実施形態に係る不揮発性メモリトランジスタ

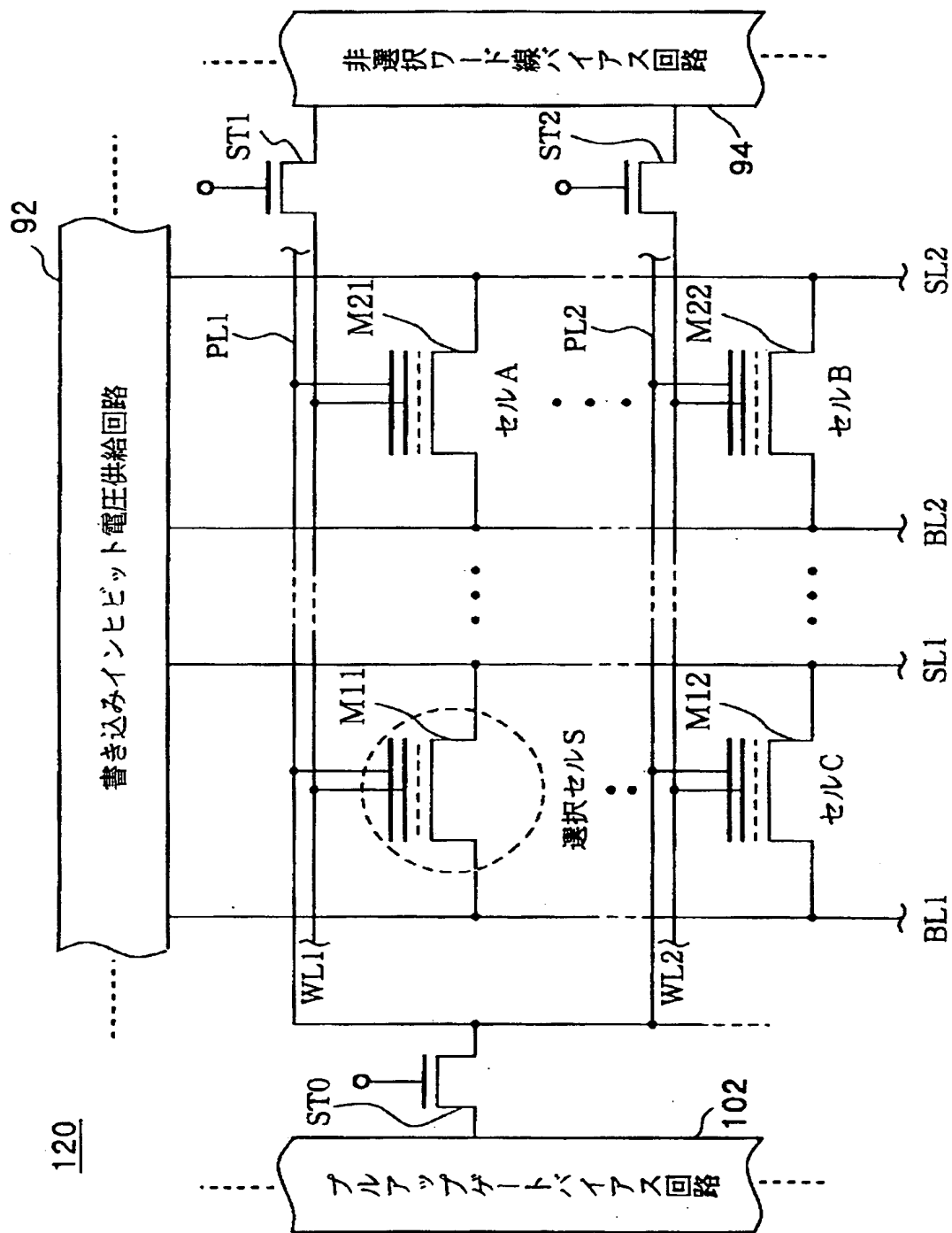
【図 8】



【図 9】



【図10】

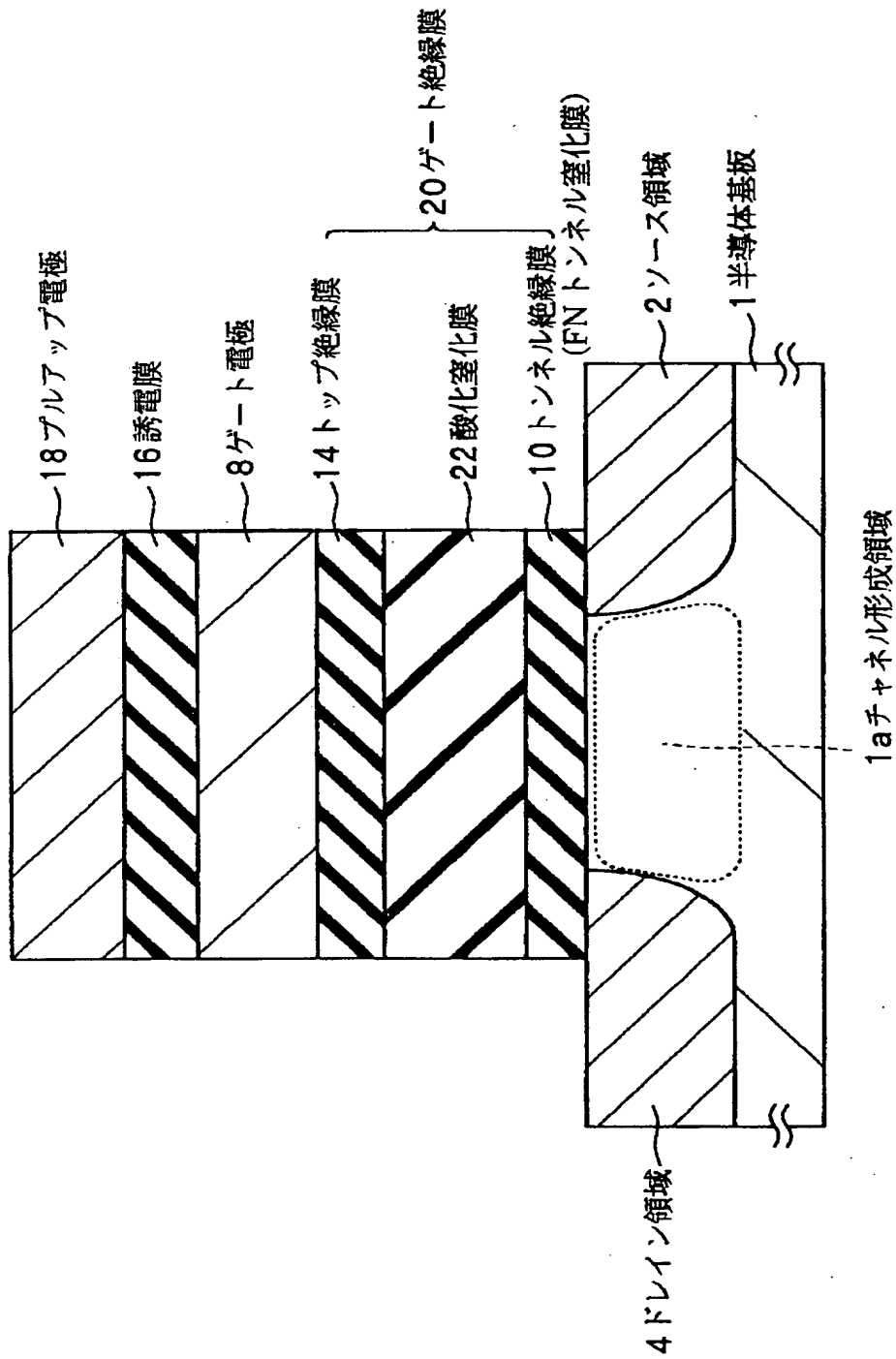


【図 11】

特性例

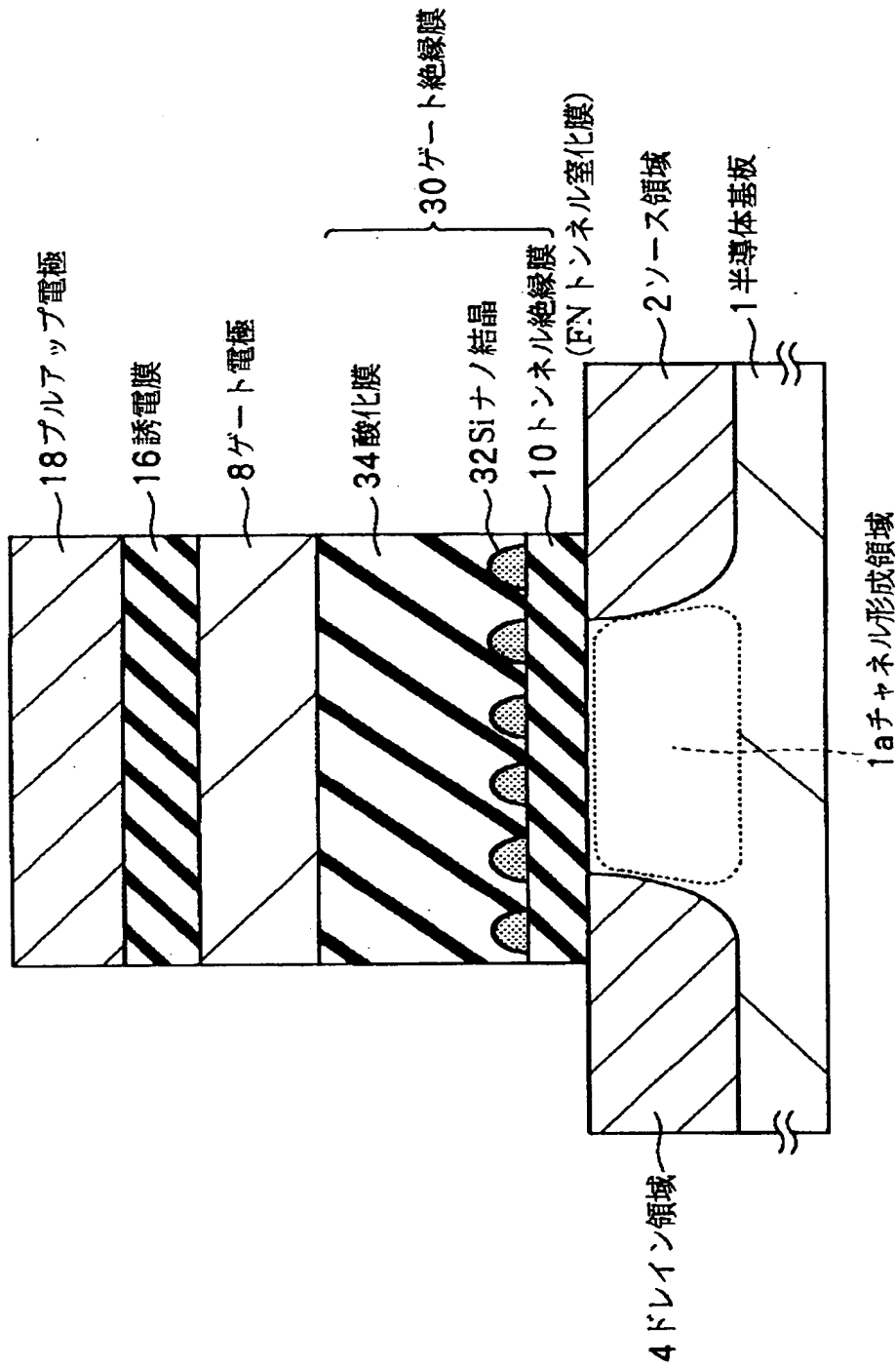
プログラム条件	5V, 1msec
消去条件	-5V, 100msec
W/E書き換え	~10 ⁶ サイクル
データ保持	85℃,10年 (10万回書き換え後)
リードディスタープ時間	10年 (10万回書き換え後)
インヒビットS/D電圧	4V
接合耐圧	10V

【図 12】



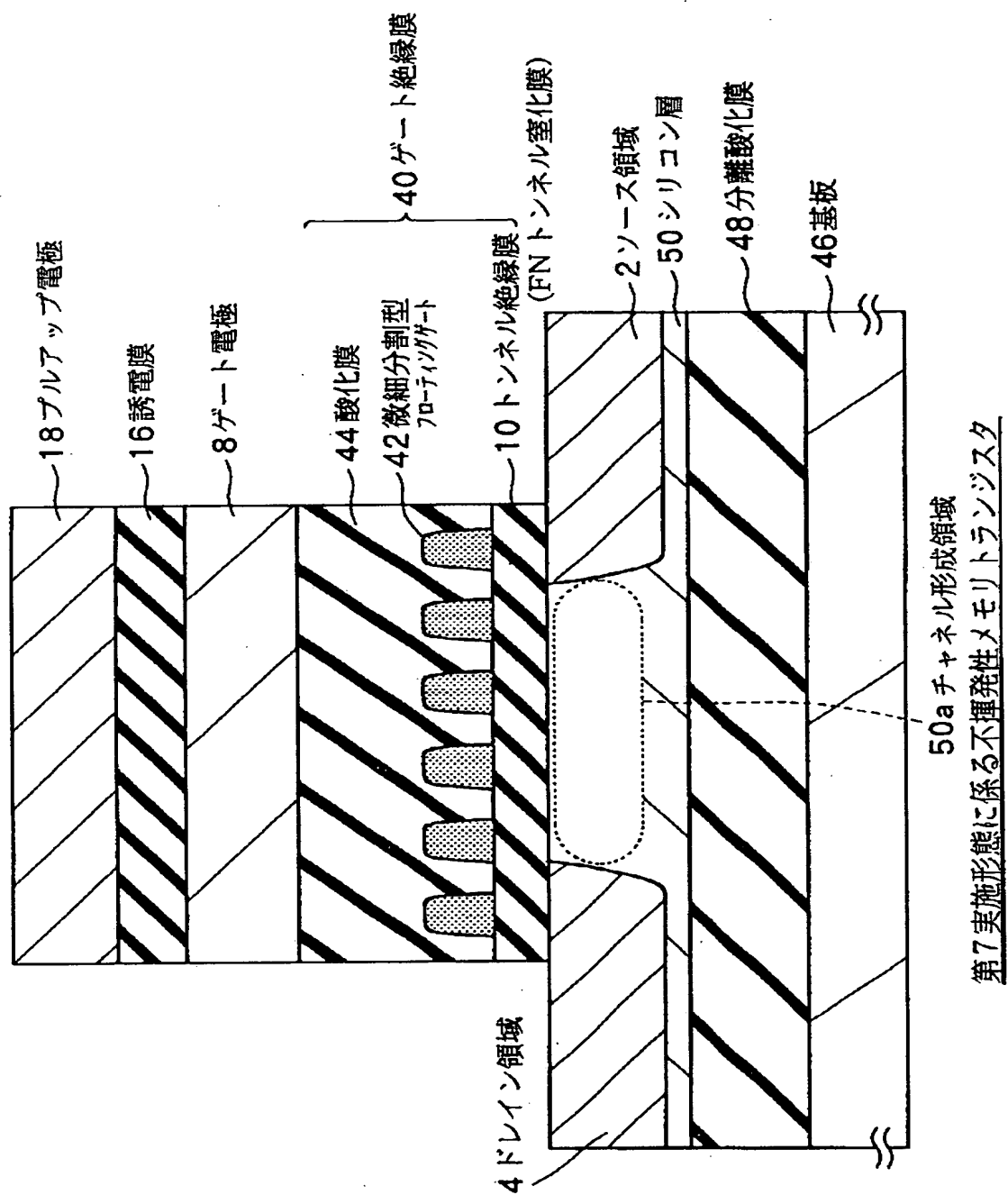
第5実施形態に係る不揮発性メモリトランジスタ

【図 13】



第6実施形態に係る不揮発性メモリトランジスタ

【图 14】



【書類名】 要約書

【要約】

【課題】 MONOS 型等のメモリセルにおいて、良好なディスターブ特性、書き込み時の高速性を維持したまま動作電圧を低減する。

【解決手段】 メモリトランジスタにおいて、基板表面に設けられた半導体のチャネル形成領域 1 a 上にトンネル絶縁膜 10 を含むゲート絶縁膜 6 とゲート電極 8 が積層され、ゲート絶縁膜 6 内に平面的に離散化された電荷蓄積手段を有する。このメモリトランジスタは、酸化シリコン膜より誘電率が大きくかつ FN 電気伝導特性を示す FN トンネル膜からトンネル絶縁膜 10 が構成されている。このため、ゲート絶縁膜 6 の酸化シリコン膜換算厚を薄くして低電圧化が可能である。さらに低電圧化するには、例えばワード線の上方に誘電膜を介して近接するプルアップ電極と、これに所定電圧を印加するプルアップゲートバイアス回路とを設け、容量結合によりゲート電極を昇圧するとよい。

【選択図】 図 3

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000002185
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号
【氏名又は名称】 ソニー株式会社
【代理人】 申請人
【識別番号】 100094053
【住所又は居所】 東京都台東区柳橋 2 丁目 4 番 2 号 創進国際特許事
務所
【氏名又は名称】 佐藤 隆久

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社